

połączone z wejściami sterującymi przełącznika analogowego (7). Wejścia analogowe przełącznika analogowego (7) są połączone z wyjściami elementów próbkująco-pamiętających (10). Wejścia sterujące elementów próbkująco-pamiętających (10) są połączone z przetwornikami napięcia (11). Wyjście przełącznika analogowego (7) jest połączone z wejściem pamięci analogowej (6), której jedno wyjście jest połączone z blokiem sterowania przekształtnika (4), a drugie z blokiem sterowania falownika (5), którego dodatkowe wyjście jest połączone z wejściem dyskryminatora komutacji (9). (1 zastrzeżenie)

H02P P. 234606 31.12.1981

Akademia Górniczo-Hutnicza im. Stanisława Staszica, Kraków, Polska (Jerzy Cholewka, Janusz Grzegorski, Józef Skotniczny, Henryk Zygmunt).

Sposób regulacji częstotliwościowego napędu asynchronicznego

Wynalazek rozwiązuje zagadnienie opracowania sposobu pozwalającego uzyskać dobre własności statyczne i dynamiczne w szerokim zakresie zmian prędkości obrotowej.

Sposób regulacji częstotliwościowego napędu asynchronicznego realizujący zmianę napięcia lub prądu silnika i częstotliwości falownika, polega na tym, że amplitudę prądu lub napięcia kształtuje się tak, aby w każdych warunkach pracy silnika utrzymać chwilową wartość amplitudy kwadratu jego strumienia na niezmiennym poziomie, a częstotliwość prądu falownika kształtuje się równocześnie tak, aby w każdej chwili aktualny poślizg silnika był równy żądanej wielkości poślizgu zadawanego. (1 zastrzeżenie)

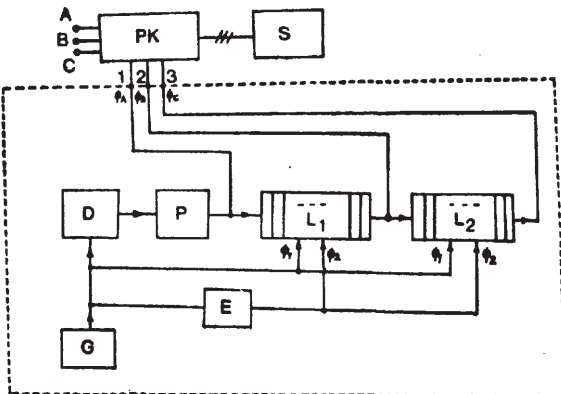
H03K P. 234350 21.12.1981

Politechnika Warszawska, Warszawa, Polska (Jan Jerzy Mulawka).

Sterowany generator napięcia trójfazowego

Wynalazek rozwiązuje zagadnienie opracowania generatora o prostej strukturze, małych wymiarach, możliwego do scalenia na jednym chipie oraz przestrajanego w szerokim zakresie zmian częstotliwości.

Generator wyposażony jest w dwie linie CCD (L_1, L_2) połączone w kaskadę z pętlą fazową (P) i z dzielnikiem częstotliwości (D) dołączonym do wyjścia generatora wiodącego (G), które jednocześnie połączone jest z wejściami sterującymi obu linii (L_1, L_2) bezpośrednio i równoległe poprzez inwerter (E), przy czym fazy wyjściowe Φ_A, Φ_B, Φ_C używane są na wejściach i wyjściach tych linii. (1 zastrzeżenie)



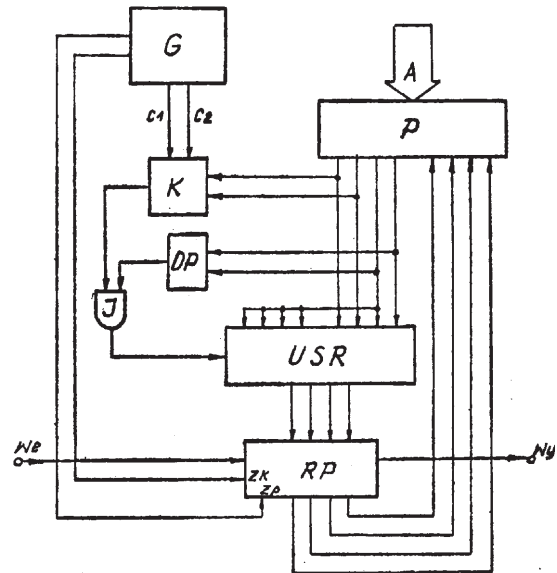
H04J P. 234450 23.12.1981

Instytut Łączności, Warszawa, Polska (Jacek Sobociński, Mirosław Radziwanowski, Jerzy Bulski, Grzegorz Iwaszkiewicz, Stefan Szlabs).

Układ dekodera grupowego sygnałów cyfrowych dla teletransmisyjnych systemów wielokrotnych z podziałem czasowym

Wynalazek rozwiązuje zagadnienie przystosowania dekodera do różnych szybkości modulacji.

Układ zawiera rejestr przesuwany (RP), którego wyjścia równoległe są dołączone do wejść pamięci (P), o wyjściach dołączonych do pierwszej grupy wejść układu sterowania rejestrem (USR), którego wyjścia są dołączone do wejść rejestru przesuwanego (RP). Dwa ostatnie wyjścia pamięci (P) są dołączone do wejść detektora przejścia (DP), a pozostałe do pierwszej grupy wejść komparatora (K). Wyjście komparatora (K) i wyjście detektora przejścia (DP) są dołączone do wejść iloczynu logicznego (I), którego wyjście jest połączone z wejściem przełączającym układu sterowania rejestrem (USR). (1 zastrzeżenie)



H04J P. 234452 23.12.1981

Instytut Łączności, Warszawa, Polska (Jacek Sobociński, Mirosław Radziwanowski, Jerzy Bulski, Grzegorz Iwaszkiewicz, Stefan Szlabs).

Układ kodera grupowego sygnałów cyfrowych dla teletransmisyjnych systemów wielokrotnych z podziałem czasowym

Wynalazek rozwiązuje zagadnienie przystosowania kodera do różnych szybkości modulacji.

Układ zawiera rejestr przesuwany (RP), którego równoległe wyjścia są dołączone do wejść pamięci (P). Wyjścia tej pamięci (P) są dołączone do pierwszej grupy wejść układu sterowania rejestrem (USR), o wyjściach dołączonych do równoległych wejść rejestru przesuwanego (RP). Pierwsze wyjście pamięci (P) jest także połączone z pierwszym wejściem detektora przejścia (DP), którego drugie wejście jest dołączone do szeregowego wejścia rejestru przesuwanego (RP) oraz do pierwszego i ostatniego wejścia drugiej grupy wejść układu sterowania rejestrem (USR).

Wyjście detektora przejścia (DP) jest połączone z wejściem przełączającym układu sterowania rejestrem (USR). (1 zastrzeżenie)