

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10)

PL 443721 A1

(12)

Opis zgłoszeniowy wynalazku (z daty zgłoszenia)

(21) Numer zgłoszenia: 443721

(22) Data zgłoszenia: 2023.02.08

(43) Data publikacji o zgłoszeniu: 2024.08.12 BUP 33/2024

(51) MKP:

H02M 3/07 (2006.01)

(71) Zgłaszający:

AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL

(72) Twórca(-y):

ROBERT STALA, Kraków, PL

(74) Pełnomocnik:

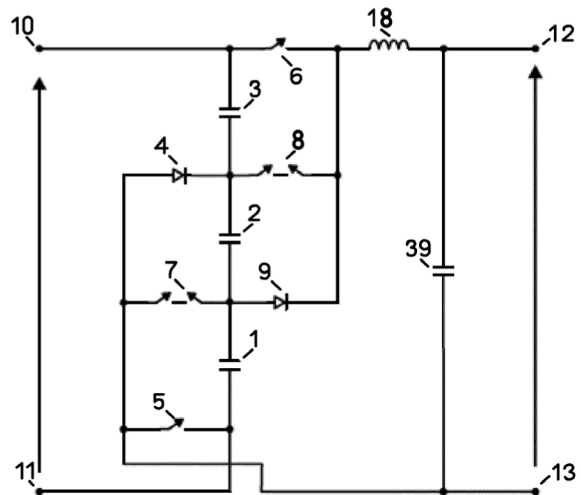
rzech. pat. Andrzej Rogowski, Kraków, PL

(54) Tytuł:

Przekształtnik o dużym stopniu obniżania napięcia

(57) Skróc opis:

Przedmiotem zgłoszenia jest przekształtnik obniżający napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych, zawierający pojemnościowy dzielnik wejściowy, który stanowi gałąź trzech połączonych szeregowo kondensatorów (1), (2) i (3), włączonych pomiędzy wejściowy zacisk dodatni (10), a wejściowy zacisk ujemnym (11), przy czym ujemne wyjście kondensatora (1), wchodzącego w skład wejściowego dzielnika kondensatorowego połączone z wejściowym zaciskiem ujemnym (11) napięcia zasilającego U_{IN} oraz z wyjściem sterowalnego łącznika (5), którego wejście połączone jest z wyjściowym zaciskiem ujemnym (13) obniżonego napięcia wyjściowego oraz z ujemnym wejściem kondensatora wyjściowego (39), a także z wejściem sterowalnego łącznika (7) oraz z anodą diody (4). Dodatnie wejście kondensatora (3) połączone jest z wejściowym zaciskiem dodatnim (10) napięcia zasilającego U_{IN} oraz z wejściem sterowalnego łącznika (6), którego wyjście połączone jest z wejściem dławika (18) oraz z wyjściem sterowalnego dwukierunkowego łącznika (8) i katodą diody (9), zaś wyjście dławika (18) połączone jest z dodatnim wejściem kondensatora wyjściowego (39) i z wyjściowym zaciskiem dodatnim (12) obniżonego napięcia wyjściowego. Natomiast do punktu połączenia kondensatorów (2) i (3) dołączone są katoda diody (4) i wejście sterowalnego dwukierunkowego łącznika (8), zaś do punktu połączenia kondensatorów (1) i (2) dołączone są anoda diody (9) i wyjście sterowalnego dwukierunkowego łącznika (7).



Przekształtnik o dużym stopniu obniżania napięcia

Przedmiotem wynalazku jest układ przekształtnika obniżający napięcie o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych.

Przekształtnik buck (przekształtnik obniżający napięcie) jest rodzajem przekształtnika DC/DC bez izolacji galwanicznej między wejściem a wyjściem. Napięcie wyjściowe jest niższe od wejściowego, natomiast prąd wyjściowy może być wyższy od wejściowego.

Przekształtniki DC-DC obniżające napięcie są bardzo szeroko stosowane, do zasilania różnych urządzeń elektronicznych. Są stosowane w urządzeniach komputerowych, urządzeniach komunikacyjnych, różnych obwodach sterowania i automatyki itp. Przekształtniki DC-DC obniżające napięcie stanowiące systemy przekształcania energii elektrycznej, znajdują zastosowanie w szczególności, jako systemy zasilania urządzeń w centrach danych (data center) i systemów zasilania jednostek mikroprocesorowych zasilanych niskim napięciem przy dystrybucji energii o napięciu np. 48 V.

Problemem przy zastosowaniu przekształtnika typu buck do dużego obniżania napięcia związany jest z obniżeniem jego sprawności elektrycznej. W nocie aplikacyjnej 2016, 2021, 2022 ROHM Co., Ltd.

No. 64AN035E Rev.003 „Efficiency of buck Converter”, 2016 ROHM Co., podane są zależności sprawności układu buck w funkcji napięcia wyjściowego, z którego wynika znaczny spadek sprawności dla realizacji niskich napięć wyjściowych. Kolejną niekorzystną cechą, jest wartość napięcia na tranzystorze i diodzie w przekształtniku buck, która osiąga wartość napięcia wejściowego. Układ DC-DC typu buck jest rozwiązaniem o prostej koncepcji, jednak bardzo korzystnie jest, jeżeli jego sprawność przy znacznym obniżeniu napięcia oraz maksymalne wartości napięcia występujące na elementach układu zostaną poprawione. W tym celu realizuje się układy o bardziej złożonej topologii i sterowaniu.

Problem związany z rozszerzeniem zakresu uzyskiwanych obniżonych napięć wyjściowych w przekształtnikach typu buck rozwiązywany jest poprzez wykorzystywanie kondensatorowych dzielników napięcia umieszczanych przed blokiem sterującym przekształtników impulsowych.

Znany jest z amerykańskiego opisu patentowego nr US 2018041120 A1 przykład wykonania zapewniający system przekształtnika DC-DC zawierający wiele łączników skonfigurowanych do odbierania wejściowej mocy DC o poziomie napięcia wejściowego ze źródła napięcia DC. Pierwszy kondensator wejściowego dzielnika pojemnościowego połączony jest z wieloma sterowanymi łącznikami. Również drugi kondensator dzielnika połączony jest z wieloma sterowanymi łącznikami. Sterownik przetwornika skonfigurowany do obsługi wielu łączników tak, że w pierwszym trybie napięcie na pierwszym kondensatorze jest na poziomie równym zasadniczo połowie poziomu napięcia wejściowego a w drugim w trybie, napięcie na drugim kondensatorze jest na poziomie równym zasadniczo połowie poziomu napięcia wejściowego. Natomiast poziom napięcia

wyjściowego jest obniżany o współczynnik obniżania napięcia, w zależności do poziomu napięcia wejściowego.

Z chińskiego opisu patentowego o numerze CN105207471A znany jest przykład wykonania niskonapięciowego przekształtnika DC-DC o dużym spadku napięcia. Przekształtnik DC-DC o wysokim natężeniu prądu przy niskim napięciu i dużym spadku napięcia zawiera dwie cewki indukcyjne mocy, dwie diody oraz "n" jednostek spadku napięcia. Każda jednostka spadku napięcia składa się z dwóch łączników zasilania i dwóch kondensatorów. W porównaniu z istniejącymi przekształtnikami spadku napięcia, niskonapięciowy przekształtnik DC-DC według wynalazku jest prosty w projektowaniu i realizacji, nie zawiera transformatora ani cewek sprzężonych, współczynnik spadku napięcia wejściowe-wyjściowe jest regulowany, a ogólna sprawność pracy przekształtnika jest poprawiona

Wynalazek opisany w opisie patentu tajwańskiego o numerze TW201608807 przedstawia jednostopniowy przekształtnik DC-DC o wysokim stopniu obniżenia napięcia, zawierający jednostkę wejściową, obwód konwertujący DC-DC i jednostkę wyjściową. Jednostka wejściowa pobiera energię ze źródła prądu stałego. Obwód przekształcający DC-DC, elektrycznie połączony z jednostką wejściową na jednym końcu i jednostką wyjściową na drugim końcu, przekształca poziom napięcia DC energii odbieranej z jednostki wejściowej na inny poziom napięcia DC. Jednostka wyjściowa wyprowadza energię na obniżonym poziomie napięcia. Obwód konwertujący DC-DC reguluje poziomy napięcia, wykorzystując wzmocnienie napięcia, w celu uzyskania wysokiego współczynnika obniżania napięcia.

Powołane przykłady układów przekształtników impulsowych obniżających napięcia wyjściowych o rozszerzonym zakresie

uzyskiwanych obniżonych napięć, w stosunku do klasycznego układu przekształtnika typu buck, wykorzystują kondensatorowe dzielniki napięcia wejściowego. Znane ze stanu techniki przykłady topologii układów impulsowych obniżających napięcie o rozszerzonym zakresie uzyskiwanych obniżonych napięć różnią się stopniem skomplikowania, liczbą użytych elementów oraz sposobem sterowania.

Problemem wynalazczym jest topologia układu przekształtnika impulsowego obniżającego napięcie wyjściowe w rozszerzonym zakresie uzyskiwanych obniżonych napięć, o prostej konstrukcji, poprawionej sprawności, zmniejszonej liczbie elementów oraz o zamieszonym stresie napięciowym na elementach przełączających układu przekształtnika.

Cel wynalazku polegający na rozwiązaniu problemu wynalazczego został uzyskany poprzez nową koncepcję topologii układu przekształtnika obniżającego napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych oraz uproszczeniu jego sterowania, która jest przedmiotem wynalazku.

Istota przekształtnika obniżającego napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych, zawierającego pojemnościowy dzielnik wejściowy, włączony pomiędzy wejściowy zacisk dodatni In1 a wejściowy zacisk ujemnym In2, oraz zespół wyboru i impulsowania napięcia wejściowego, składający się ze sterowalnych łączników i diod oraz obwód rozładowania a także, dławika i kondensatora filtrującego napięcie wyjściowe, przy czym łączniki przekształtnika sterowane są za pośrednictwem centralnej jednostki sterującej, charakteryzuje się tym, że wejściowy dzielnik kondensatorowy, który stanowi gałąź trzech połączonych szeregowo kondensatorów C1, C2 i C3, włączonych, pomiędzy wejściowy zacisk

dodatni In1 a wejściowy zacisk ujemnym In2, przy czym ujemne wejście kondensatora C1, wchodzącego w skład wejściowego dzielnika kondensatorowego połączone z wejściowym zaciskiem ujemnym In2 napięcia zasilającego U_{IN} oraz z wyjściem sterowalnego łącznika S1. Natomiast dodatnie wejście kondensatora C1 połączone jest z ujemnym wejściem kondensatora C2, którego wejście dodatnie połączone jest wyjściem ujemnym kondensatora C3, a z kolei dodatnie wejście kondensatora C3 połączone jest z wejściowym zaciskiem dodatnim In1 napięcia zasilającego U_{IN} oraz z wejściem sterowalnego łącznika S2, którego wyjście połączone jest z wejściem dławika L1 oraz z wyjściem sterowalnego dwukierunkowego łącznika S4 i katodą diody D2 zaś wyjście dławika L1 połączone jest z dodatnim wejściem kondensatora wyjściowego C_{out} i z wyjściowym zaciskiem dodatnim Out1 obniżonego napięcia wyjściowego. Z kolei ujemne wejście kondensatora wyjściowego C_{out} połączone jest z wyjściowym zaciskiem ujemnym Out 2 obniżonego napięcia wyjściowego, który połączony jest z wejściem sterowalnego łącznika S1 i z wejściem sterowalnego łącznika S3 oraz z anodą diody D1. Katoda diody D1 połączona jest z wejściem ujemnym kondensatora C3 oraz z wejściem dodatnim kondensatora C2 i z wejściem sterowalnego dwukierunkowego łącznika S4, zaś wyjście sterowalnego dwukierunkowego łącznika S4 połączone jest z wyjściem sterowalnego łącznika S2 i z katodą diody D2 oraz z wejściem dławika L1, którego wyjście połączone jest z dodatnim wejściem kondensatora Cout i z wyjściowym zaciskiem dodatnim Out1 obniżonego napięcia wyjściowego.

W drugiej wersji układu według wynalazku wejściowy dzielnik kondensatorowy, który stanowi gałąź trzech połączonych szeregowo kondensatorów C1, C2 i C3, włączonych pomiędzy wejściowy zacisk

dodatni In1 a wejściowy zacisk ujemnym In2, przy czym ujemne wyjście kondensatora C1, wchodzącego w skład wejściowego dzielnika kondensatorowego połączone z wejściowym zaciskiem ujemnym In2 napięcia zasilającego U_{IN} oraz z katodą diody D5. Natomiast dodatnie wejście kondensatora C3, wchodzącego w skład wejściowego dzielnika kondensatorowego połączone z wejściowym zaciskiem dodatnim In1 napięcia zasilającego U_{IN} oraz z wejściem sterowanego łącznika S2 a jego wyjście połączone jest z wejściem dławika L1 oraz z wyjściem sterowalnego dwukierunkowego łącznika S4 zaś wyjście dławika L1 połączone jest z wyjściem dławika L2 oraz z dodatnim wejściem kondensatora wyjściowego C_{out} i z wyjściowym zaciskiem dodatnim Out1 obniżonego napięcia wyjściowego. Z kolei ujemne wejście kondensatora wyjściowego C_{out} połączone jest z wyjściowym zaciskiem ujemnym Out2 obniżonego napięcia wyjściowego oraz z wejściem sterowalnego dwukierunkowego łącznika S5 i z wejściem sterowalnego dwukierunkowego łącznika S6 oraz z anodą diody D3 i wejściem sterowanego dwukierunkowego łącznika S3 pierwszego układu oraz anodą diody D1 której katoda połączona jest z wejściem sterowalnego dwukierunkowego łącznika S4 ora z wejściem dodatnim kondensatora C2 i z wejściem ujemnym kondensatora C3. Katoda diody D3 połączona jest z wejściem sterowalnego dwukierunkowego łącznika S7 oraz z wejściem ujemnym kondensatora C6 oraz z wejściem dodatnim kondensatora C5 natomiast wejście ujemne kondensatora C5 połączone jest z wyjściem sterowalnego dwukierunkowego łącznika S6 i anodą diody D4 oraz wejściem dodatnim kondensatora C4 natomiast wejście ujemne kondensatora C4 połączone jest z wyjściem sterowalnego dwukierunkowego łącznika S5 i anodą diody D5. Z kolei wyjście sterowalnego dwukierunkowego łącznika S7 połączone jest z wyjściem

sterowalnego dwukierunkowego łącznika S8, z katodą diody D4 oraz z wejściem dławika L2. Natomiast punkt połączenia dodatniego wejścia kondensatora C1 i wejścia ujemnego kondensatora C2 i wyjścia dwukierunkowego łącznika S3, z pierwszego układu, połączony jest z wejściem łącznika dwukierunkowego S8 i dodatnim wejściem kondensatora C6 drugiego układu stanowiąc wejście dodatnie napięcia stałego wejściowego układu drugiego.

Korzystnie aby w przekształtniku obniżającym napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych według wynalazku, każdy z łączników dwukierunkowych, S3 i S4 w układzie podstawowym oraz w układzie kaskadowym, stanowiącym drugą wersję układu, łączników dwukierunkowych S5, S6, S7 i S8 stanowił zespół dwóch tranzystorów, odpowiednio w łączniku S3 tranzystory T103 i T203 w łączniku S4 tranzystory T104 i T204 w łącznikach S5 tranzystory T105 i T205, w łączniku S6 tranzystory T106 i T206 a w łączniku S7 tranzystory T107 i T207 a w łączniku S8 tranzystory T108 i T208, połączonych przeciwsośnie, poprzez połączenie źródeł obu tranzystorów każdego zespołu, w przypadku zastosowania tranzystorów MOSFET lub GaN, oraz emiterów w przypadku zastosowania tranzystorów IGBT. Natomiast wejście każdego z łączników dwukierunkowych stanowi dren pierwszego tranzystora a wyjście łącznika dren drugiego tranzystora zespołu, lub połączonych przeciwsośnie poprzez połączenie kolektorów obu tranzystorów każdego z zespołów, w przypadku zastosowania tranzystorów IGBT natomiast wejście każdego z łączników dwukierunkowych stanowi emiter pierwszego tranzystora a wyjście łącznika emiter drugiego tranzystora zespołu. Korzystne jest również, aby każdy z łączników dwukierunkowych S3, S4, S5, S6, S7 i S8 stanowił tranzystor GaN z podwójną bramką o

dwukierunkowym przewodzeniu i blokowaniu napięcia.

Korzystnym skutkiem wynalazku jest uzyskane znaczne obniżenie wartości napięcia ($< 1/3 U_{in}$) przy zastosowaniu tranzystorów i diod, które blokują napięcie na poziomie $1/3$ napięcia wejściowego a znamionowe napięcie na elementach półprzewodnikowych osiąga wartość $1/3$ napięcia wejściowego. Podstawowa topologia przekształtnika obniżającego napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych według wynalazku zawiera trzy kondensatory dwie diody oraz cztery sterowalne łączniki, co jest liczbą znacznie mniejszą niż w układach osiągających porównywalne parametry.

Korzystne jest również to, że układ wg wynalazku może pracować przy większym współczynniku wypełnienia sygnałów sterujących tranzystorów, w porównaniu do układu buck, co jest czynnikiem umożliwiającym uzyskanie większej sprawności układu. Zalety zgłaszanego rozwiązania w porównaniu do przekształtnika buck przedstawiono w Tab. 1.

Tab. 1. Porównanie wybranych parametrów zgłaszanego rozwiązania do przekształtnika obniżającego napięcie, typu buck.

Parametr	Zgłaszane rozwiązania	Przekształtnik buck
Wzmocnienie napięcia	$U_{out} = D \cdot U_{in} / 3$	$U_{out} = D \cdot U_{in}$
Napięcie na elementach półprzewodnikowych	$U_{in} / 3$	U_{in}
Napięcie na dławiku w filtrze wyjściowym	$(U_{in} / 3 - U_{out}, -U_{out})$	$(U_{in} - U_{out}, -U_{out})$
Obciążenie prądowe tranzystorów i diod	Do $1/3$ mniejsze niż w buck	

W rozwiązaniu według wynalazku napięcie na tranzystorze, diodzie i dławiku ma trzykrotnie mniejsze znamionowe wartości maksymalne, co jest korzystną cechą wpływającą na poprawę parametrów przekształtnika.

Stres napięciowy determinuje znamionowe napięcie na łącznikach, dlatego zmniejszenie stresu napięciowego na elementach układu jest korzystną cechą, ponieważ zmniejsza koszt i umożliwia poprawę parametrów stosowanych elementów w układzie, takich jak tranzystorów, diod, dławików i kondensatorów.

Układ rozwiązania według wynalazku poprawia podstawowe parametry przekształtnika buck i jest alternatywnym rozwiązaniem dla układów o znacznie większej złożoności. Wykorzystuje przy tym koncepcję łącznika dwukierunkowego, która ma szansę na przyszły rozwój w technice tranzystorów z azotku galu (GaN).

Przedmiot wynalazku, w przykładach wykonania jest uwidoczniony na rysunku, na którym fig. 1 przedstawia uproszczony schemat ideowy impulsowej części przekształtnika stanowiącej układ formowania i impulsów napięcia wejściowego z wejściowego dzielnika kondensatorowego, według wynalazku, fig.2 przedstawia uproszczony schemat ideowy przekształtnika obniżającego napięcie według wynalazku w pierwszej wersji, który jest połączeniem impulsowej części układu z elementami indukcyjnym i pojemnościowym stanowiącymi filtr wyjściowy układu, fig.3 przedstawia schemat ideowy przekształtnika obniżającego napięcie według wynalazku w pierwszej wersji fig.4 przedstawia uproszczony schemat ideowy przekształtnika obniżającego napięcie według wynalazku w drugiej wersji a fig. 5 przedstawia schemat ideowy przekształtnika obniżającego napięcie według wynalazku w drugiej wersji, zaś fig. 6 przedstawia uproszczony schemat ideowy przekształtnika obniżającego napięcie, o

rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych według wynalazku, w pierwszej wersji, w której łączniki dwukierunkowe zostały zastąpione przez połączone przeciwsobnie tranzystory MOSFET lub GaN, natomiast fig. 7 przedstawia uproszczony schemat ideowy przekształtnika obniżającego napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych według wynalazku, w pierwszej wersji, w której łączniki dwukierunkowe zostały zastąpione przez tranzystory GaN z podwójną bramką.

Układ przekształtnika obniżającego napięcie o rozszerzonym zakresie charakteryzuje się poprawioną sprawnością i mniejszymi wartościami napięć na elementach niż podstawowy układ typu " buck". Przekształtniki obniżające napięcie typu buck są powszechnie stosowane ze względu na to, że blok główny przekształtnika zapewnia wysoką sprawność energetyczną oraz zawiera niewielką liczbę elementów. Napięcie wyjściowe przekształtnika zależy między innymi od punktu pracy, dlatego w przekształtnikach typu buck stosuje się układ sterujący pracą łącznika głównego.

Układ przekształtnika według wynalazku posiada na wejściu gałąź trzech połączonych kondensatorów. Na każdym kondensatorze wejściowym powinno występować napięcie o wartości trzykrotnie mniejszej od napięcia wejściowego. Z tego napięcia formuje się impulsy napięcia wyjściowego, gdzie w okresie impulsowania przekształtnika (T_s) pojawia się stan $U_{in}/3$ przez czas t_{on} , oraz zerowa wartość napięcia przez czas $T_s - t_{on}$. Współczynnik wypełnienia impulsu napięcia wyjściowego można opisać jako: $D = t_{on}/T_s$. Średnia wartość napięcia wyjściowego wynosi $U_{out} = D \cdot U_{in}/3$ co jest znacznie

mniejszą wartością niż w klasycznym przekształtniku buck. Dla $D=1/2$ napięcie wyjściowe może być utrzymywane na poziomie $U_{out}=D \cdot U_{in}/6$. W przypadku układu kaskadowego, przedstawionego na elemencie rys. zilustrowanym fig 4, dla $D=1/2$ w drugiej sekcji układu napięcie wyjściowe może być utrzymywane na poziomie $U_{out}=U_{in}/18$.

Nowym elementem, w odniesieniu do stanu techniki jest układ i sposób sterowania umożliwiający uzyskanie znaczne obniżenie wartości napięcia ($<1/3$) przy zastosowaniu tranzystorów i diod, które blokują napięcie na poziomie $1/3$ napięcia wejściowego, a współczynnik wypełnienia przy formowaniu impulsów napięcia wyjściowego jest trzykrotnie szerszy niż w przypadku przekształtnika buck, co może korzystnie wpłynąć na sprawność układu. Sprawność układu może zostać poprawiona, również dlatego, że w zgłaszanym rozwiązaniu mogą zostać użyte elementy o mniejszej wartości znamionowego napięcia, co w przypadku tranzystorów umożliwia uzyskanie redukcji ich rezystancji.

Nowym elementem, w odniesieniu do stanu techniki jest również układ, który nadaje się do zastosowania tranzystorów GaN z podwójną bramką (lub nowych koncepcji tranzystorów GaN o przewodzeniu i blokowaniu dwukierunkowym). Układ według wynalazku może zostać zrealizowany z wykorzystaniem tranzystorów GaN, MOSFET Si lub SiC oraz IGBT. Na fig. 6, przedstawiono przykład realizacji układu z wykorzystaniem tranzystorów z azotku galu GaN lub tranzystorów MOSFET. a na fig. 7 przedstawiono przykład realizacji układu z wykorzystaniem tranzystorów z azotku galu GaN

Przykład realizacji układu przekształtnika według wynalazku w wersji pierwszej ilustruje fig. 3. Układ utworzony został poprzez

zastąpienie sterowanego łącznika kluczującego oraz diody podtrzymującej prąd rozładowania, występujących w podstawowej wersji przekształtnika typu buck układem składającym się z wejściowego dzielnika kondensatorowego złożonego z trzech kondensatorów C1 - 1, C2 - 2 i C3 - 3, dwóch diod D1 - 4 i D2 - 9 oraz zespołu czterech łączników z których dwa S1 - 5 i S2 - 6 stanowią sterowane łączniki jednokierunkowe natomiast pozostałe dwa S3 - 7 i S4 - 8 stanowią sterowane łączniki dwukierunkowe.

Elementami półprzewodnikowymi są tranzystory GaN jako 5 i 6 oraz tranzystory GaN w wykonaniu dwukierunkowym (nazywane również tranzystorami z podwójną bramką) jak 7 i 8. Układ sterowany jest z wykorzystaniem elementu elektronicznego FPGA. Sterowanie tranzystorów realizowane jest tak, aby na wyjściu części impulsowej układu (pomiędzy węzłem łączącym tranzystor 6 i dławik 18, a zaciskiem wyjściowym 13, pojawiały się impulsy napięcia o szerokości kontrolowanej przez układ regulacji. Impulsy napięcia na wyjściu części impulsowej układu uzyskiwane są przez takie sterowanie tranzystorów, aby w kolejnych impulsach prąd obciążenia przepływał przez inny kondensator wejściowego dzielnika 1, 2 lub 3. Jeżeli załączony jest tranzystor 5, w pierwszym cyklu impulsowania, to prąd płynący do wyjścia przez dławik 18 płynie również przez diodę 9 i kondensator 1. W drugim cyklu impulsowania, załączone są tranzystory 7 i 8, a prąd płynący do wyjścia przez dławik 18 płynie również przez kondensator 2. W trzecim cyklu impulsowania, załączony jest tranzystor 6 oraz dioda 4, a prąd płynący do wyjścia przez dławik 18 płynie również przez diodę i kondensator 3. Pomędzy stanami, w których na wyjściu części impulsowego układu uzyskiwanego są napięcia dodatnie, występują stany o zerowym napięciu, uzyskiwane przez załączenie tranzystora 7 lub 8. Układ

zrealizowany w technice tranzystorów GaN umożliwia pracę z dużą częstotliwością, przy małych stratach energii wynikających z przełączania elementów półprzewodnikowych i pozwala na uproszczenie konstrukcji układu przez zastosowania tranzystora o blokowaniu i przewodzeniu dwukierunkowym, gdy już będą komercyjnie powszechnie dostępne.

Przykład realizacji układu przekształtnika według wynalazku w wersji drugiej ilustruje fig. 5. Elementami półprzewodnikowymi są tranzystory MOSFET. Układ sterowany jest z wykorzystaniem elementu elektronicznego FPGA. Sterowanie tranzystorów realizowane jest tak, aby na wyjściu części impulsowej układu (pomiędzy węzłem łączącym tranzystor S2 i dławik L1, a zaciskiem wyjściowym Out2, pojawiały się impulsy napięcia o szerokości kontrolowanej przez układ regulacji. Impulsy napięcia na wyjściu części impulsowej układu uzyskiwane są przez takie sterowanie tranzystorów, aby w kolejnych impulsach prąd obciążenia przepływał przez inny kondensator wejściowego dzielnika C1, C2 lub C3. Jeżeli załączony jest tranzystor S1, w pierwszym cyklu impulsowania, to prąd płynący do wyjścia przez dławik L1 płynie również przez diodę D2 i kondensator C1. W drugim cyklu impulsowania, załączone są tranzystory S3 i S4, a prąd płynący do wyjścia przez dławik L1 płynie również przez kondensator C2. W trzecim cyklu impulsowania, załączony jest tranzystor S2 oraz dioda D1, a prąd płynący do wyjścia przez dławik L1 płynie również przez diodę kondensator C3. Pomędzy stanami, w których na wyjściu części impulsowej układu uzyskiwane są napięcia dodatnie, występują stany o zerowym napięciu, uzyskiwane przez załączenie tranzystora S3 lub S4. Układ zrealizowany w technice tranzystorów MOSFET umożliwia pracę z

dużą częstotliwością, przy małych stratach energii wynikających z przełączania elementów półprzewodnikowych.

Przekształtniki DC-DC o dużym stopniu obniżania napięcia według wynalazku znajdują zastosowanie w zasilaczach diod LED, zasilaczach jednostek obliczeniowych pracujących pod niskim napięciem w centrach danych a także przy dystrybucji energii elektrycznej o napięciu np. 12, 24 lub 48 V.

Wykaz oznaczeń.

1. — **C1** – pierwszy kondensator dzielnika napięciowego układu pierwszego,
2. — **C2** – drugi kondensator dzielnika napięciowego układu pierwszego,
3. — **C3** – trzeci kondensator dzielnika napięciowego układu pierwszego,
4. — **D1** – pierwsza dioda układu pierwszego,
5. — **S1** – pierwszy sterowalny łącznik układu pierwszego,
6. — **S2** – drugi sterowalny łącznik układu pierwszego,
7. — **S3** – trzeci sterowalny łącznik dwukierunkowy układu pierwszego,
8. — **S4** – czwarty sterowalny łącznik dwukierunkowy układu pierwszego,
9. — **D2** – druga dioda układu pierwszego,
10. — **In1** – dodatni zacisk wejściowy napięcia zasilającego UIN,
11. — **In2** – ujemny zacisk wejściowy napięcia zasilającego UIN,
12. — **Out1** – dodatni zacisk wyjściowy przekształtnika obniżającego napięcie,
13. — **Out2** – ujemny zacisk wyjściowy przekształtnika obniżającego napięcie,
14. — **T103** – pierwszy tranzystor łącznika dwukierunkowego S3
15. — **T203** – drugi tranzystor łącznika dwukierunkowego S3
16. — **T104** – pierwszy tranzystor łącznika dwukierunkowego S4
17. — **T204** – drugi tranzystor łącznika dwukierunkowego S4
18. — **L1** – dławik układu pierwszego
19. — **CPU** – CPU – jednostka sterująca i obwody połączone z bramką tranzystora - w przykładach realizacji zbudowana na bazie układu FPGA (Field Programmable Gate Array)
20. — **C4** – pierwszy kondensator dzielnika napięciowego układu drugiego,
21. — **C5** – pierwszy kondensator dzielnika napięciowego układu drugiego,
22. — **C6** – pierwszy kondensator dzielnika napięciowego układu drugiego,
23. — **D3** – pierwsza dioda układu drugiego,
24. — **D4** – druga dioda układu drugiego,
25. — **D5** – trzecia dioda układu drugiego,
26. — **S5** – pierwszy sterowalny łącznik dwukierunkowy układu drugiego,
27. — **S6** – drugi sterowalny łącznik dwukierunkowy układu drugiego,
28. — **S7** – trzeci sterowalny łącznik dwukierunkowy układu drugiego,
29. — **S8** – czwarty sterowalny łącznik dwukierunkowy układu drugiego,
30. — **L2** – dławik układu drugiego,
31. — **T105** – pierwszy tranzystor łącznika dwukierunkowego S5,
32. — **T205** – drugi tranzystor łącznika dwukierunkowego S5,
33. — **T106** – pierwszy tranzystor łącznika dwukierunkowego S6,
34. — **T206** – drugi tranzystor łącznika dwukierunkowego S6,
35. — **T107** – pierwszy tranzystor łącznika dwukierunkowego S7,
36. — **T207** – drugi tranzystor łącznika dwukierunkowego S7,
37. — **T108** – pierwszy tranzystor łącznika dwukierunkowego S8,

38. — **T208** – drugi tranzystor łącznika dwukierunkowego S8,
39. — **C_{out}** – kondensator wyjściowy przekształtnika obniżającego napięcie.
- U_{IN} - napięcie wejściowe przekształtnika obniżającego napięcie,
 - U_{out} - napięcie wyjściowe przekształtnika obniżającego napięcie,

Zastrzeżenia patentowe

1. Przekształtnik obniżający napięcie, o rozszerzonym zakresie uzyskiwanych obniżonych napięć wyjściowych, zawierający pojemnościowy dzielnik wejściowy, włączony pomiędzy wejściowy zacisk dodatni (10) a wejściowy zacisk ujemnym (11) napięcia wejściowego U_{IN} , oraz zespół wyboru i kluczkowania napięcia wejściowego oraz obwód rozładowania, składające się ze sterowalnych łączników i diod a także, dławika i kondensatora filtrującego napięcie wyjściowe U_{OUT} , przy czym łączniki przekształtnika steruje się za pośrednictwem centralnej jednostki sterującej (19), znamienny tym, że wejściowy dzielnik kondensatorowy, który stanowi gałąź trzech połączonych szeregowo kondensatorów (1), (2) i (3), włączonych, pomiędzy wejściowy zacisk dodatni (10) a wejściowy zacisk ujemnym (11) przy czym ujemne wyjście kondensatora (1), wchodzące w skład wejściowego dzielnika kondensatorowego połączone z wejściowym zaciskiem ujemnym (11) napięcia zasilającego U_{IN} oraz z wyjściem sterowalnego łącznika (5), a dodatnie wejście kondensatora (1) połączone jest z ujemnym wejściem kondensatora (2), którego wejście dodatnie połączone jest wyjściem ujemnym kondensatora (3), natomiast dodatnie wejście kondensatora (3) połączone jest z wejściowym zaciskiem

dodatnim (10) napięcia zasilającego U_{IN} oraz z wejściem sterowalnego łącznika (6), którego wyjście połączone jest z wejściem dławika (18) oraz z wyjściem sterowalnego dwukierunkowego łącznika (8) i katodą diody (9), zaś wyjście dławika (18) połączone jest z dodatnim wejściem kondensatora wyjściowego (39) i z wyjściowym zaciskiem dodatnim (12) obniżonego napięcia wyjściowego, z kolei ujemne wejście kondensatora wyjściowego (39) połączone jest z wyjściowym zaciskiem ujemnym (13) obniżonego napięcia wyjściowego, który połączony jest z wejściem sterowalnego łącznika (5) i z wejściem sterowalnego łącznika (7) oraz z anodą diody (4) zaś katoda diody (4) połączona jest z wejściem ujemnym kondensatora (3) oraz z wejściem dodatnim kondensatora (2) i z wejściem sterowalnego dwukierunkowego łącznika (8), zaś wyjście sterowalnego dwukierunkowego łącznika (8) połączone jest z wyjściem sterowalnego łącznika (6), z katodą diody (9) oraz z wejściem dławika (18).

2. Przekształtnik obniżający napięcie według zastrzeżenia 1 znamienny tym, że wejściowy dzielnik kondensatorowy, który stanowi gałąź trzech połączonych szeregowo kondensatorów (1), (2) i (3), włączonych, pomiędzy wejściowy zacisk dodatni (10) a wejściowy zacisk ujemnym (11), przy czym ujemne wejście kondensatora (1), połączone jest z wejściowym zaciskiem ujemnym (11) napięcia zasilającego U_{IN} oraz z katodą diody (25), natomiast dodatnie wejście kondensatora (3), połączone z wejściowym zaciskiem dodatnim (10) napięcia zasilającego U_{IN} oraz z wejściem sterowanego łącznika (6), którego wyjście połączone jest z wyjściem sterowalnego dwukierunkowego

łącznika (8) i z wejściem dławika (18) zaś wyjście dławika (18) połączone jest z wyjściem dławika (30) oraz z dodatnim wejściem kondensatora wyjściowego (39) i z wyjściowym zaciskiem dodatnim (12) obniżonego napięcia wyjściowego, z kolei ujemne wejście kondensatora wyjściowego (39) połączone jest z wyjściowym zaciskiem ujemnym (13) obniżonego napięcia wyjściowego oraz z wejściem sterowalnego dwukierunkowego łącznika (26) i z wejściem sterowalnego dwukierunkowego łącznika (27) oraz z anodą diody (23) i wejściem sterowanego łącznika (7) oraz anodą diody (4) pierwszego układu, której katoda połączona jest z wejściem sterowalnego dwukierunkowego łącznika (8) oraz z wejściem dodatnim kondensatora (2) i z wejściem ujemnym kondensatora (3) a katoda diody (23) połączona jest z wejściem ujemnym kondensatora (22) oraz z wejściem dodatnim kondensatora (21) i z wejściem sterowalnego dwukierunkowego łącznika (28), natomiast wejście ujemne kondensatora (21) połączone jest z wyjściem sterowalnego dwukierunkowego łącznika (27) i anodą diody (24) oraz wejściem dodatnim kondensatora (20) natomiast wejście ujemne kondensatora (20) połączone jest z wyjściem sterowalnego dwukierunkowego łącznika (26) i anodą diody (25) zaś wyjście sterowalnego dwukierunkowego łącznika (28) połączone jest z wyjściem sterowalnego łącznika dwukierunkowego (29), z katodą diody (24) oraz z wejściem dławika (30), natomiast punkt połączenia dodatniego wejścia kondensatora (1) i wejścia ujemnego kondensatora (2) i wyjścia dwukierunkowego łącznika (7) z pierwszego układu połączony jest z wejściem łącznika dwukierunkowego (29) i dodatnim

wejściem kondensatora (22) drugiego układu, stanowiąc wejście dodatnie wejściowego napięcia stałego drugiego układu.

3. Przekształtnik obniżający napięcie według zastrzeżenia 1 lub 2 znamienny tym, że, że każdy z łączników dwukierunkowych (7), (8), (26), (27), (28) i (29), stanowi zespół dwóch tranzystorów, odpowiednio w łączniku (7) tranzystory (14) i (15), w łączniku (8) tranzystory (16) i (17) , w łączniku (26) tranzystory (31) i (32), w łączniku (27) tranzystory (33) i (34), w łączniku (28) tranzystory (35) i (36) oraz w łączniku (29) tranzystory (37) i (38), połączonych przeciwsobnie poprzez połączenie źródeł obu tranzystorów każdego z zespołów, w przypadku zastosowania tranzystorów MOSFET lub GaN natomiast wejście każdego z łączników dwukierunkowych stanowi dren pierwszego tranzystora a wyjście łącznika źródło drugiego tranzystora zespołu, lub połączonych przeciwsobnie poprzez połączenie emiterów obu tranzystorów każdego z zespołów, w przypadku zastosowania tranzystorów IGBT, natomiast wejście każdego z łączników dwukierunkowych stanowi kolektor pierwszego tranzystora a wyjście łącznika kolektor drugiego tranzystora zespołu.
4. Przekształtnik DC-DC według zastrzeżenia 1 lub 2 oraz 3 znamienny tym, że każdy z łączników dwukierunkowych (7), (8), (26), (27), (28) i (29), stanowi tranzystor GaN z podwójną bramką, o zdolności dwukierunkowego przewodzenia i blokowania.

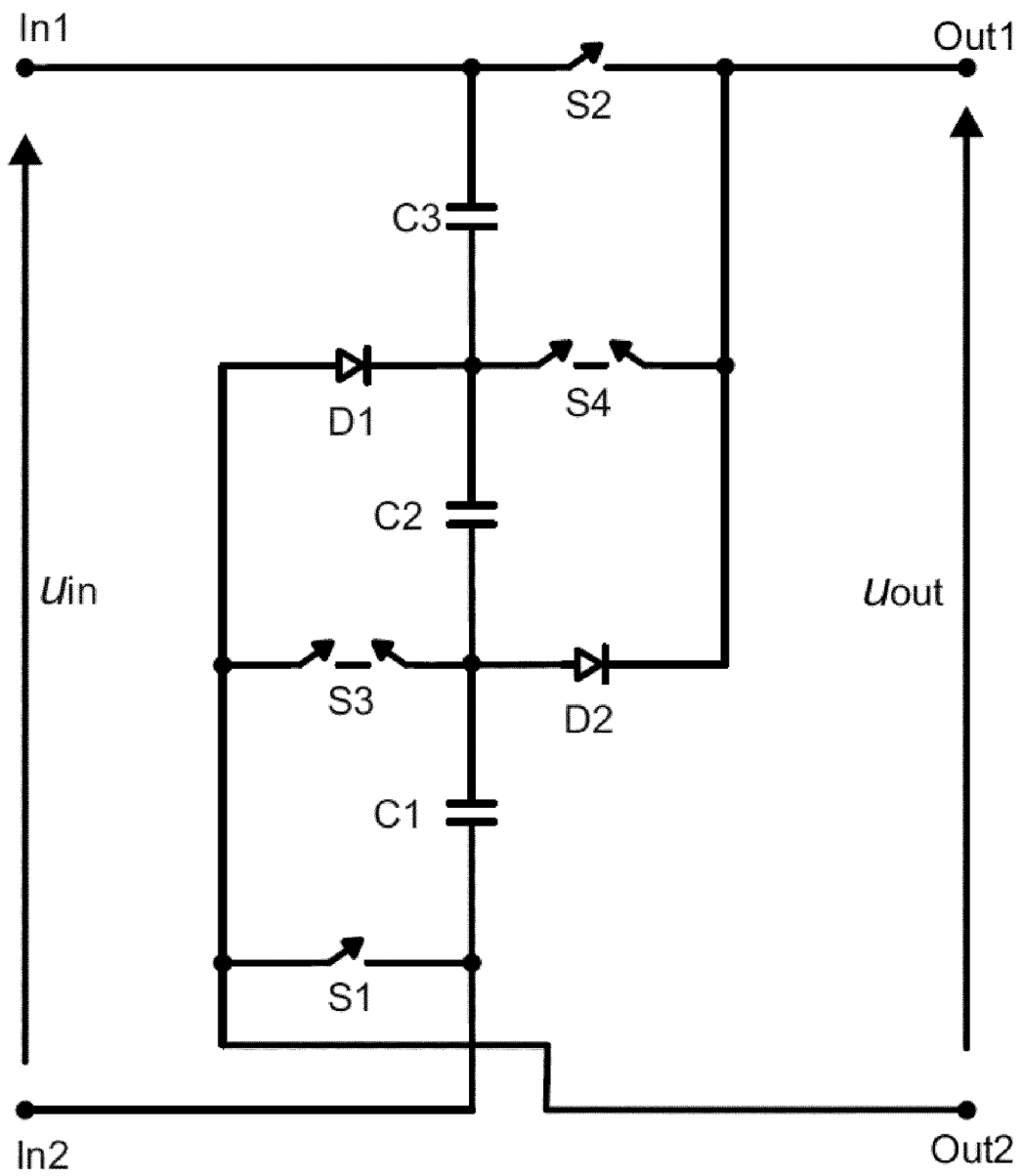


Fig.1

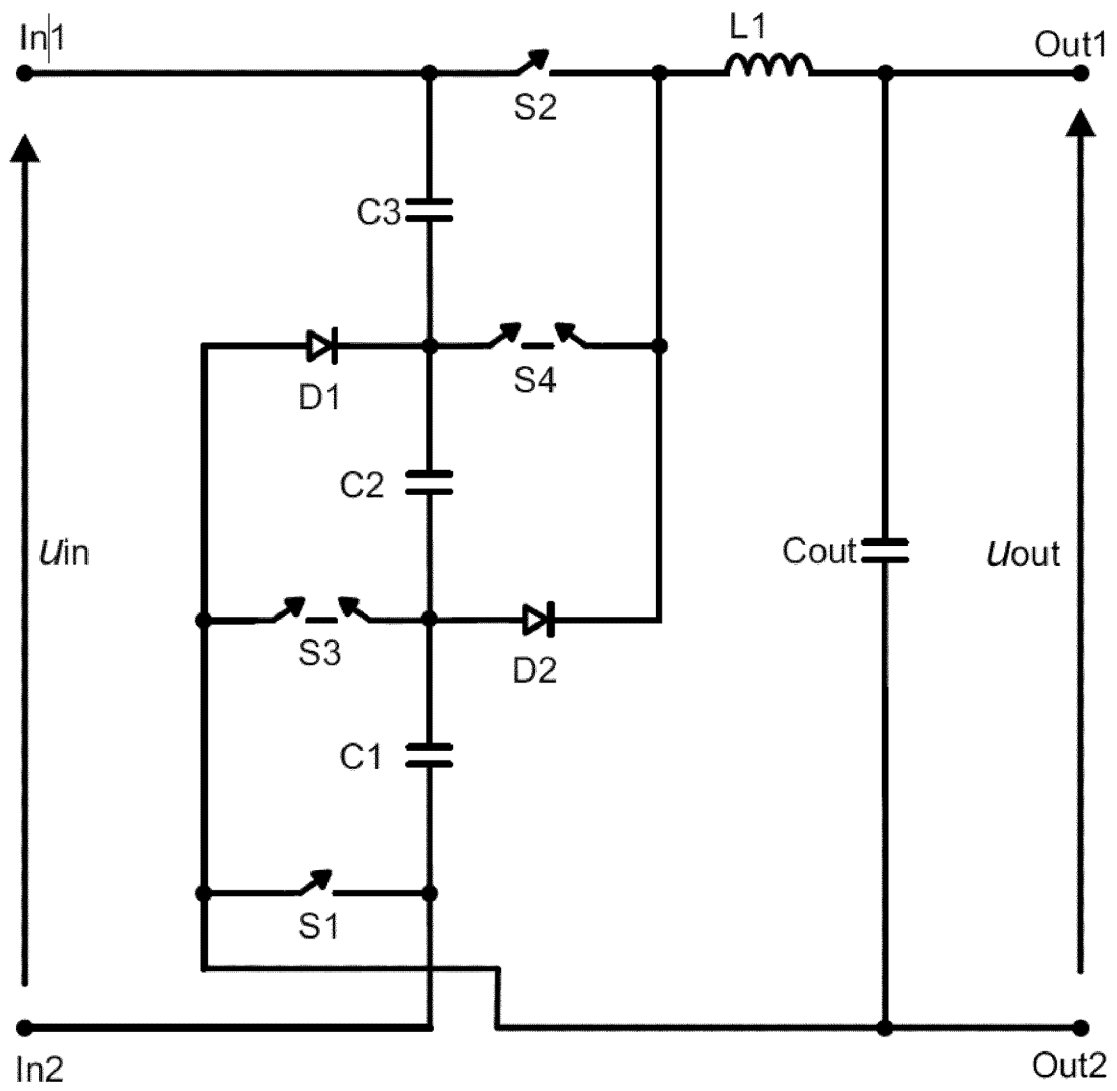


Fig. 2

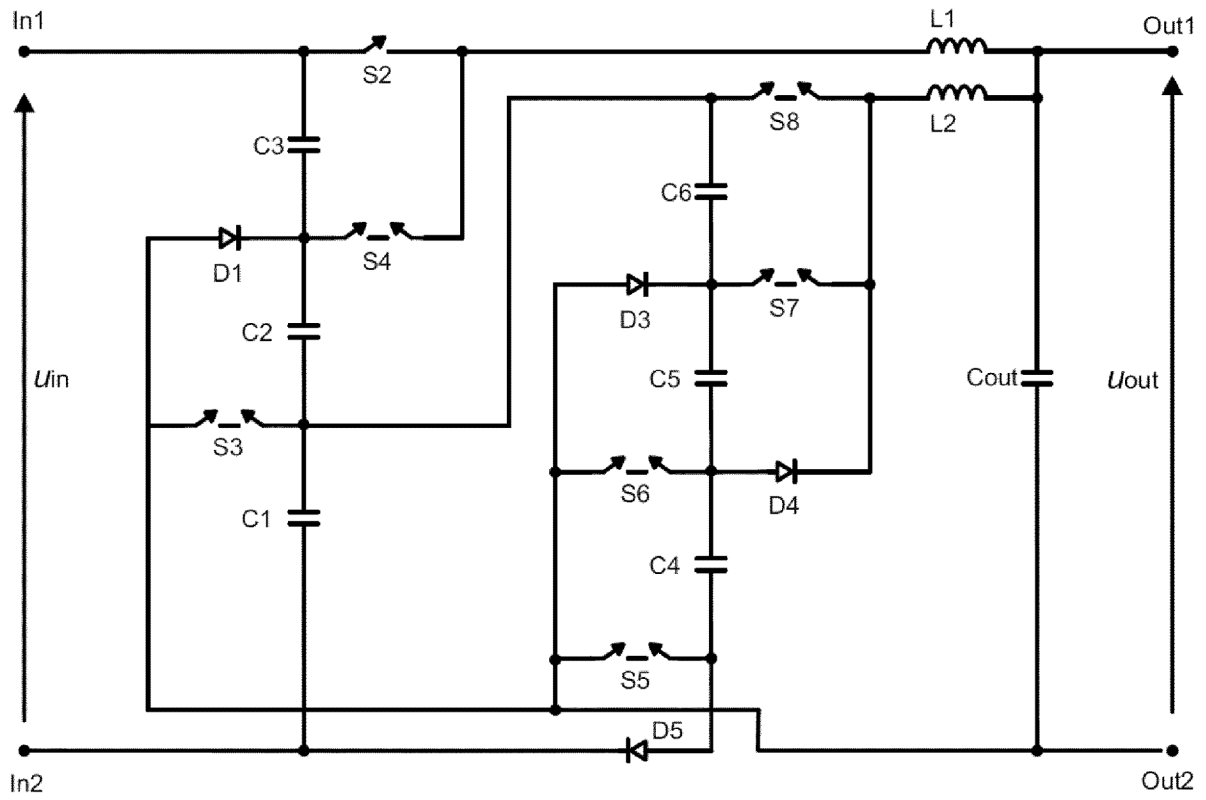


Fig.4

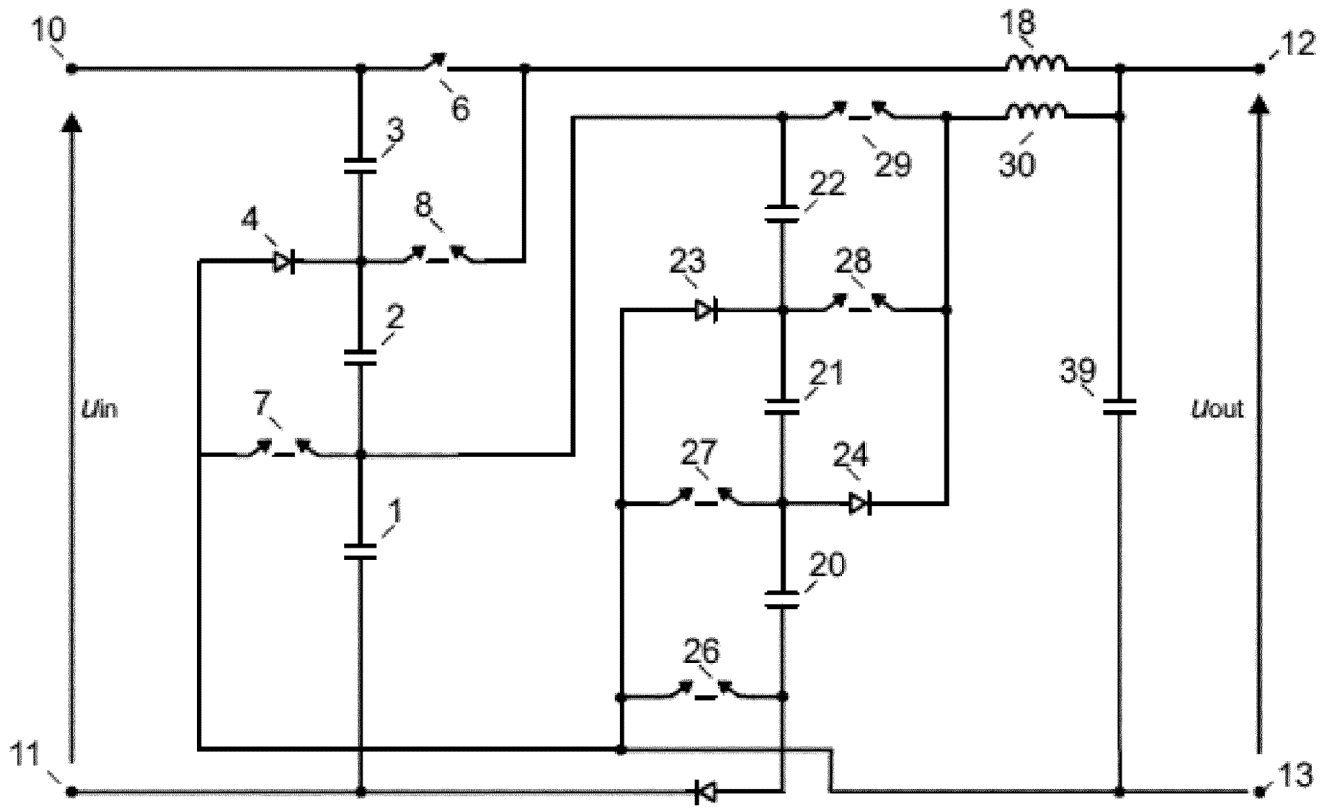


Fig.5

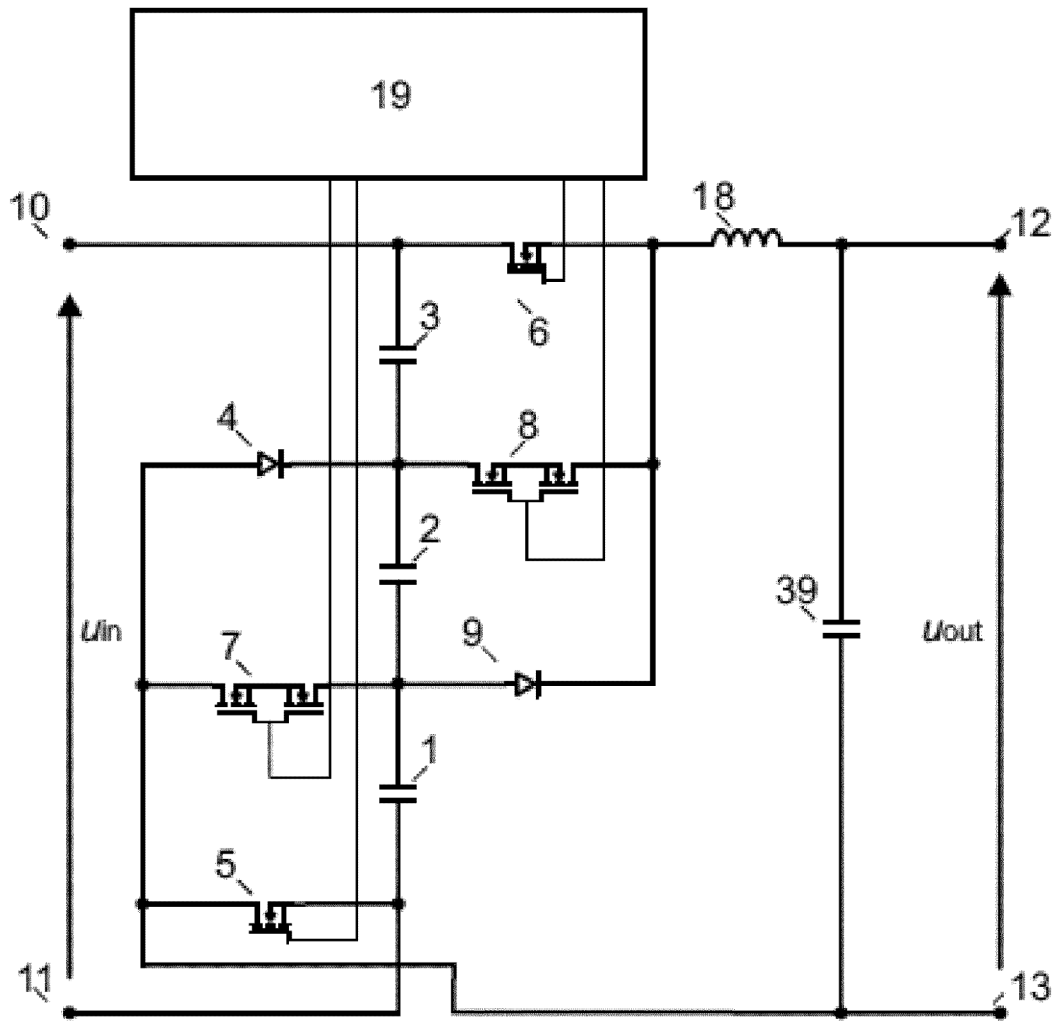
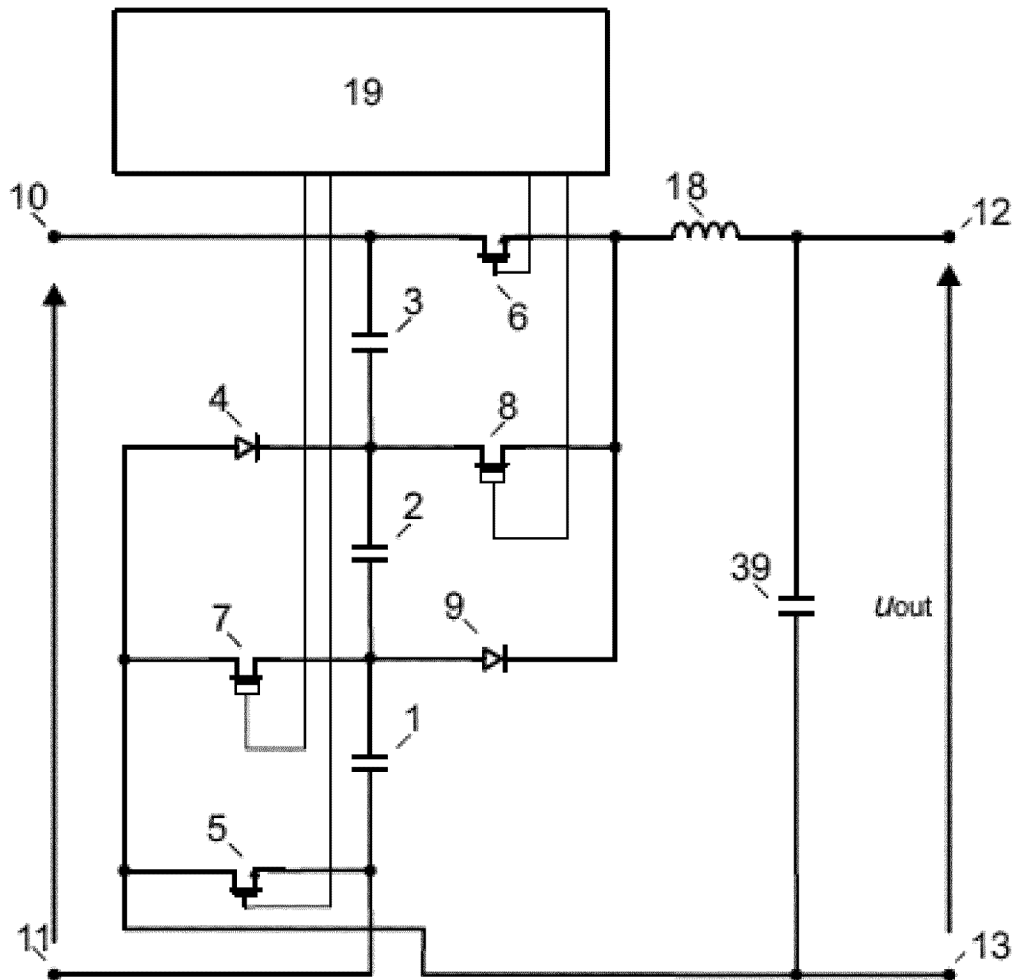
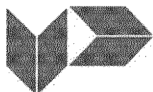


Fig.6





SPRAWOZDANIE O STANIE TECHNIKI DO ZGŁOSZENIA NR P.443721

Klasyfikacja zgłoszenia: H02M 3/07		
Podklasy w których prowadzono poszukiwania: H02M		
Bazy komputerowe w których prowadzono poszukiwania: EPODOC WPI bazy UPRP		
Kategoria dokumentu	Dokumenty - z podaną identyfikacją	Odniesienie do zastrz.
A	WO9616468 A1 (COLLINS HANSEL [US]) 30-05-1996	1-4
A	US2020212806 A1 (SOLAREEDGE TECHNOLOGIES LTD [IL]) 02-07-2020	1-4
A	US2010188065 A1 (SHIWAYA YOHICHI [JP]; RICOH CO LTD [JP]) 29-07-2010	1-4
A	JP2003284324 A (NEC TOKIN CORP) 03-10-2003	1-4
<input type="checkbox"/> Dalszy ciąg wykazu dokumentów na następnej stronie		
<p>A – dokument określający ogólny stan techniki, który nie jest uważany za posiadający szczególne znaczenie, E – dokument stanowiący wcześniejsze zgłoszenie lub patent, ale opublikowany w lub po dacie zgłoszenia, L – dokument, który może poddawać w wątpliwość zastrzegane pierwszeństwo(-wa), lub przytoczony w celu ustalenia daty publikacji innego cytowanego dokumentu lub z innego szczególnego powodu, O – dokument odnoszący się do ujawnienia ustnego przez zastosowanie, wystawienie lub ujawnienie w inny sposób, P – dokument opublikowany przed datą zgłoszenia, ale później niż zastrzegana data pierwszeństwa, T – dokument późniejszy, opublikowany po dacie zgłoszenia lub w dacie pierwszeństwa i niebędący w konflikcie ze zgłoszeniem, ale cytowany w celu zrozumienia zasad lub teorii leżących u podstaw wynalazku, X – dokument o szczególnym znaczeniu; zastrzegany wynalazek nie może być uważany za nowy lub nie może być uważany za posiadający poziom wynalazczy, jeżeli ten dokument brany jest pod uwagę samodzielnie, Y – dokument o szczególnym znaczeniu; zastrzegany wynalazek nie może być uważany za posiadający poziom wynalazczy, jeżeli ten dokument zostanie połączony z jednym lub kilkoma tego typu dokumentami, a takie połączenie będzie oczywiste dla znawcy, & – dokument należący do tej samej rodziny patentowej.</p>		

Sprawozdanie wykonał/-a:

Jarosław Żak
Ekspert

Data:

19.02.2024

Podpis:

/podpisano kwalifikowanym podpisem elektronicznym/
Pismo wydane w formie dokumentu elektronicznego

Uwagi do zgłoszenia

Sprawozdanie zostało wykonane w oparciu o zastrz. z dnia 08.02.2023