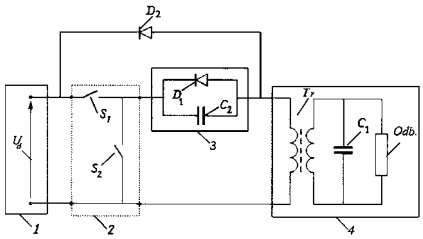
łączono w sposób równoległy pierwszy kondensator (C_1) i obciążenie (Odb) lub obciążenia o charakterze pojemnościowym,, przy czym pierwszy zacisk uzwojenia strony pierwotnej transformatora (Tr) połączony jest z anodą pierwszej diody (D_1), pierwszym biegunem drugiego kondensatora (C_2) oraz anodą drugiej diody (D_2). Katoda pierwszej diody (D1) połączona jest z drugim biegunem drugiego kondensatora (C_2) oraz z punktem wspólnego połączenia elektrod łączników półprzewodnikowych pierwszego (S_1) i drugiego (S_2), stanowiących blok łączników (2), przy czym druga elektroda pierwszego łącznika półprzewodnikowego (S_1) połączona jest z katodą drugiej diody (D_2) i pierwszym biegunem źródła zasilania (Ud), zaś druga elektroda drugiego łącznika półprzewodnikowego (S_2) i drugi biegun źródła zasilania (Ud) oraz drugi zacisk uzwojenia strony pierwotnej transformatora (Tr) tworzą wspólny punkt połączeń.

(3 zastrzeżenia)



A1 (21) **414141** (22) 2015 09 24

(51) *H03K 5/06* (2006.01)
H03K 3/26 (2006.01)

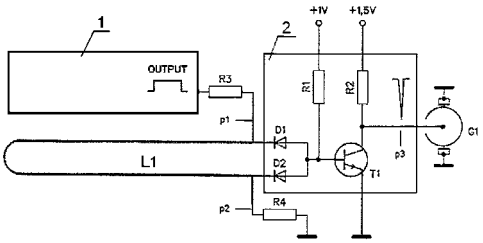
(71) INSTYTUT AGROFIZYKI IM. BOHDANA DOBRZAŃSKIEGO POLSKIEJ AKADEMII NAUK, Lublin

(72) WILCZEK ANDRZEJ; SZYPŁOWSKA AGNIESZKA; KAFARSKI MARCIN; SKIERUCHA WOJCIECH

(54) **Układ do kształtowania impulsów szpilkowych TDR**

(57) Przedmiotem zgłoszenia jest układ do kształtowania impulsów szpilkowych TDR, zbudowany w oparciu o dyskretną bramkę NAND, zawierającą dwie diody Schottky'ego, rezystor polaryzujący te diody, tranzystor oraz rezystor stanowiący obciążenie tego tranzystora, z dołączoną do jej wejść opóźniającą linią transmisyjną, wykonaną jako linia mikropaskowa albo koncentryczna, sterowany z wyjścia programowalnego układu cyfrowego, charakteryzujący się tym, że wartość impedancji charakterystycznej linii transmisyjnej (L1) jest możliwie najbardziej zbliżona do wartości impedancji wyjściowej programowalnego układu cyfrowego (2), na wyjściu którego znajduje się ponadto rezystor (R3) korygujący ewentualne niedopasowanie impedancji. Zakończenie linii transmisyjnej (L1) jest zaterminowane rezystorem (R4). Wartość rezystancji rezystora (R1), polaryzującego diody Schottky'ego (D1, D2) do stanu przewodzenia w czasie, gdy układ nie generuje impulsu, wynosi od 100 Ω do 1 kΩ, a wartość rezystancji rezystora (R2), stanowiącego obciążenie tranzystora (T1), generującego uformowany impuls szpilkowy, wynosi od 20 Ω do 300 Ω, przy czym tranzystor (T1) jest bipolarnym tranzystorem npn o wartości granicznej większej niż 20 GHz.

(2 zastrzeżenia)



A1 (21) **413958** (22) 2015 09 14

(51) *H03M 1/00* (2006.01)
H03M 1/34 (2006.01)
H03M 1/14 (2006.01)

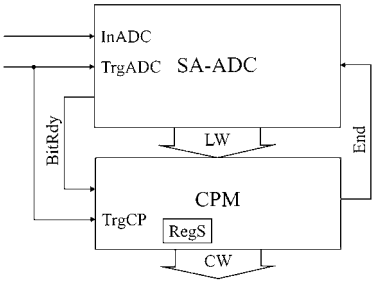
(71) AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE, Kraków

(72) KOŚCIELNIK DARIUSZ; MIŚKOWICZ MAREK

(54) **Sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe**

(57) Sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe (CW) wykorzystuje przetwarzanie wielkości analogowej na liniowe słowo cyfrowe (LW) metodą kompensacji wagowej. Proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe (LW) przerywa się za pomocą modułu kompresji (CPM) w chwili określenia wartości wszystkich bitów skompresowanego słowa cyfrowego (CW).

(3 zastrzeżenia)



A1 (21) **413959** (22) 2015 09 14

(51) *H03M 1/00* (2006.01)
H03M 1/34 (2006.01)
H03M 1/14 (2006.01)

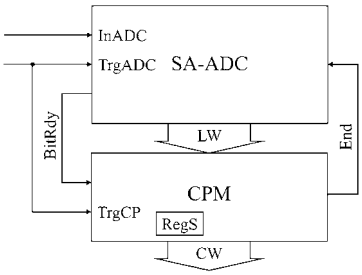
(71) AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE, Kraków

(72) KOŚCIELNIK DARIUSZ; MIŚKOWICZ MAREK

(54) **Układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe**

(57) Układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe zawiera liniowy przetwornik analogowo-cyfrowy (SA-ADC) pracujący zgodnie z zasadą kompensacji wagowej. Wyjście liniowego słowa cyfrowego (LW) tego przetwornika jest połączone z wejściem liniowego słowa cyfrowego (LW) modułu kompresji (CPM), wyposażonego w rejestr numeru sekcji (RegS) oraz wyjście skompresowanego słowa cyfrowego (CW). Wyjście sygnału zakończenia przetwarzania (End) modułu kompresji (CPM) jest połączone z wejściem sygnału zakończenia przetwarzania (End) liniowego przetwornika analogowo-cyfrowego (SA-ADC). Wyjście sygnału gotowości bitu (BitRdy) liniowego przetwornika analogowo-cyfrowego (SA-ADC) jest połączone z wejściem sygnału gotowości bitu (BitRdy) modułu kompresji (CPM).

(7 zastrzeżeń)



A1 (21) **413960** (22) 2015 09 14

(51) *H03M 1/00* (2006.01)
H03M 1/34 (2006.01)
H03M 1/14 (2006.01)

(71) AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE, Kraków

(72) KOŚCIELNIK DARIUSZ; MIŚKOWICZ MAREK