

A1 (21) **389038** (22) 2009 09 14

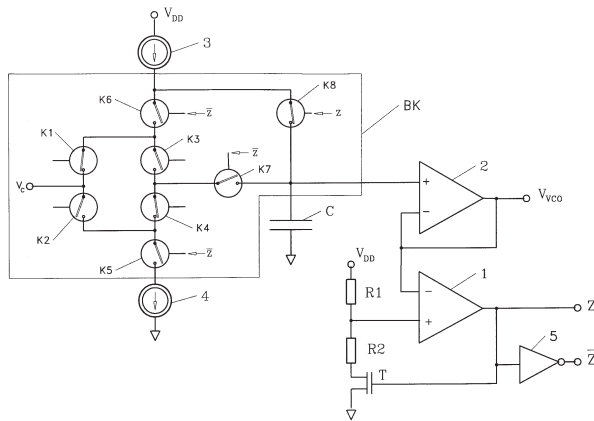
(51) **H03K 17/22** (2006.01)
H03L 7/00 (2006.01)

(71) AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA, Kraków
(72) KOS ANDRZEJ; GOŁDA ADAM

(54) **Generator sygnału zerującego**

(57) Przedmiotem wynalazku jest generator sygnału zerującego zintegrowany z obwodem kontroli częstotliwości oscylatora systemu. Generator ma komparator (1), którego ujemne wejście jest dołączone do wyjścia wtórnika napięcia (2), a wejście dodatnie komparatora (1) dołączone jest do dzielnika złożonego z rezystorów (R1) i (R2), przy czym rezystor (R1) dołączony jest do źródła napięcia zasilania (VDD), a rezystor (R2) dołączony jest do drenu tranzystora (T), natomiast bramka tranzystora (T) połączona jest z wyjściem komparatora (1), ponadto wejście wtórnika napięcia (2), do którego to wejścia dołączony jest także kondensator (C), połączony jest poprzez jeden z kluczy (K8) bloku kluczy (BK), z pierwszym źródłem prądowym (3), przy czym klucz (K8) jest sterowany sygnałem wyjściowym z komparatora (1).

(3 zastrzeżenia)



A1 (21) **387661** (22) 2009 03 31

(51) **H03M 1/00** (2006.01)
H03M 1/14 (2006.01)
G11C 27/02 (2006.01)
G06F 3/05 (2006.01)
G01D 9/24 (2006.01)

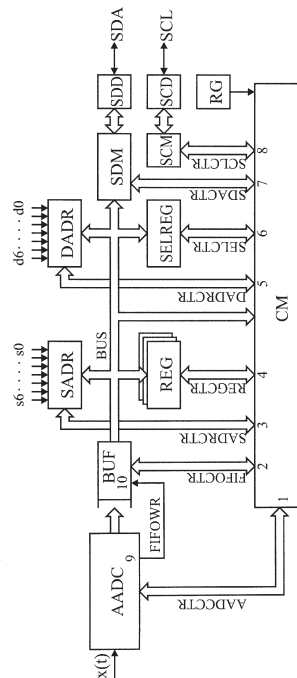
(71) AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA, Kraków
(72) KOŚCIELNIK DARIUSZ; MIŚKOWICZ MAREK

(54) **Interfejs do komunikacji czujników pomiarowych z magistralą I2C**

(57) Interfejs do komunikacji czujników pomiarowych z magistralą I2C zawierający blok przetwarzania sygnału pomiarowego na sygnał cyfrowy, którego wejście połączony jest z czujnikiem

mierzonej wielkości, a wyjście połączony jest z blokiem pamięci buforowej charakteryzuje się tym, że jako blok przetwarzania zawiera asynchroniczny przetwornik analogowo-cyfrowy (AADC) z wyjściowym sygnałem generowanym w nieregularnych odstępach czasu, którego wyjście połączony jest z wejściem bloku pamięci buforowej (BUF), a wyjście bloku pamięci buforowej (BUF) połączony jest poprzez magistralę wewnętrzną (BUS) równocześnie z blokiem adresu źródłowego (SADR), blokiem rejestrów konfiguracyjnych (REG), blokiem sterującym (CM) interfejsu, z którym połączony jest generator wzorcowy (RG), blokiem adresu odbiorcy (DADR), blokiem selekcji rejestrów (SELREG) oraz blokiem nadawczo-odbiorczym (SDM), a wejścia/wyjścia sterujące (1, 2,...,8) bloku sterującego (CM) połączony są odpowiednio z asynchronicznym przetwornikiem analogowo-cyfrowym (AADC), blokiem pamięci buforowej (BUF), blokiem adresu źródłowego (SADR), blokiem rejestrów konfiguracyjnych (REG), blokiem adresu odbiorcy (DADR), blokiem selekcji rejestrów (SELREG), blokiem nadawczo-odbiorczym (SDM) oraz z blokiem kontrolnym (SCM), natomiast wyjście bloku nadawczo-odbiorczego (SDM) jest połączony poprzez sterownik (SDD) z linią danych (SDA) magistrali I2C, której linia zegarowa (SCL) połączony jest poprzez sterownik (SCD) z wyjściem bloku kontrolnego (SCM), ponadto wyjście zapisu (9) asynchronicznego przetwornika analogowo-cyfrowego (AADC) połączony jest z wejściem zapisu (10) bloku pamięci buforowej (BUF).

(1 zastrzeżenie)



A1 (21) **387664** (22) 2009 03 31

(51) **H04N 5/222** (2006.01)
H04N 5/272 (2006.01)

(71) ALVERNIA STUDIOS SPÓŁKA Z OGRANICZONĄ ODPOWIEDZIALNOŚCIĄ, Warszawa
(72) TYCZYŃSKI STANISŁAW

(54) **Bluebox o kształcie sferycznym w realizacji dwu- i trójwymiarowych zdjęć filmowych**

(57) Przedmiotem wynalazku jest przedstawiony na rysunku, bluebox ze sferycznym bluescreenem w realizacji dwu- i trójwymiarowych zdjęć filmowych. Bluebox sferyczny zbudowany jest z bluescreen'a - tkaniny zamontowanej na konstrukcji tworzącej kształt sferyczny. Na cięciwie sfery, w górnej części bluebox'a znajduje się żuraw oświetleniowy oraz, w dolnej części bluebox'a, wózek torowy z dźwigiem z wysuwającym ramieniem, na którym zamontowana jest kamera. Dzięki zastosowaniu sferycznego kształtu możliwe jest