

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **227455**

(13) **B1**

(21) Numer zgłoszenia: **413964**

(22) Data zgłoszenia: **14.09.2015**

(51) Int.Cl.

H03M 1/00 (2006.01)

H03M 1/34 (2006.01)

H03M 1/14 (2006.01)

(54) **Układ do przetwarzania interwału czasu na słowo cyfrowe
metodą kompensacji wagowej**

(43) Zgłoszenie ogłoszono:
27.03.2017 BUP 07/17

(45) O udzieleniu patentu ogłoszono:
29.12.2017 WUP 12/17

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

rzec. pat. Andrzej Kacperski

PL 227455 B1

Opis wynalazku

Przedmiotem wynalazku jest układ do przetwarzania interwału czasu na słowo cyfrowe metodą kompensacji wagowej, znajdujący zastosowanie w systemach kontrolno-pomiarowych.

Znany z opisu patentowego PL 220 575 (zgłoszenie międzynarodowe WO/2011/152744) układ do pośredniego przetwarzania interwału czasu na słowo cyfrowe zawiera kondensator próbkujący oraz zespół kondensatorów o binarnym stosunku ich pojemności. Dolna okładka każdego kondensatora jest łączona, za pośrednictwem przełącznika, z potencjałem masy lub napięciem pomocniczym, którego wartość jest odpowiednio większa od wartości napięcia referencyjnego. Z napięciem pomocniczym jest także połączone wejście nieodwracające pierwszego komparatora, służącego do wykrywania całkowitego rozładowania kondensatora pełniącego w danym momencie funkcję elementu źródłowego. Wejście odwracające tego komparatora jest połączone z szyną źródłową. Wejście nieodwracające drugiego komparatora, służącego do wykrywania całkowitego naładowania kondensatora pełniącego w danym momencie funkcję elementu docelowego jest połączone z napięciem referencyjnym, zaś wejście odwracające jest połączone z szyną docelową. Szyna docelowa jest połączona, za pośrednictwem łącznika, z masą układu oraz z wyjściem źródła prądowego, którego wejście jest połączone, za pośrednictwem przełącznika, z szyną źródłową lub ze źródłem napięcia zasilania. Górna okładka każdego kondensatora jest połączona, za pośrednictwem łącznika źródłowego, z szyną źródłową oraz, za pośrednictwem łącznika docelowego, z szyną docelową. Wejścia sterujące stanem wszystkich łączników i przełączników są połączone z odpowiednimi wyjściami modułu sterującego, przy czym stan przełącznika i łącznika docelowego danego kondensatora są sterowane za pośrednictwem tego samego wyjścia modułu sterującego, zaś stan łącznika źródłowego jest kontrolowany przez niezależne wyjście modułu sterującego. Z modułem sterującym są także połączone wyjścia obu komparatorów oraz wejście interwału czasu. Moduł sterujący jest ponadto wyposażony w wyjście słowa cyfrowego oraz wyjście sygnalizujące zakończenie przetwarzania.

Układ do przetwarzania interwału czasu na słowo cyfrowe, według wynalazku, zawiera moduł sterujący wyposażony w wejście interwału czasu, wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście referencyjne, połączone z wyjściem komparatora referencyjnego i wejście sygnałowe, połączone z wyjściem komparatora sygnałowego oraz wyjście referencyjne, połączone z wejściem sterującym źródła prądowego referencyjnego i wyjście sygnałowe, połączone z wejściem sterującym źródła prądowego sygnałowego, a także wyjścia sterujące przełącznikami zestawu kondensatorów. W zestawie kondensatorów pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Ponadto wejście nieodwracające komparatora referencyjnego jest połączone z szyną referencyjną oraz wyjściem źródła prądowego referencyjnego, którego wejście jest połączone z napięciem zasilania. Wejście odwracające komparatora referencyjnego jest połączone z napięciem progowym.

Istotą rozwiązania jest to, że wejście nieodwracające komparatora sygnałowego jest połączone z szyną sygnałową oraz wyjściem źródła prądowego sygnałowego, którego wejście jest połączone z napięciem zasilania. Wejście odwracające komparatora sygnałowego jest połączone z napięciem progowym oraz wejściem odwracającym komparatora referencyjnego. Dolne okładki kondensatorów zestawu kondensatorów są połączone z masą układu, a górne okładki tych kondensatorów są połączone, odpowiednio, ze stykami ruchomymi przełączników. Pierwsze styki nieruchome tych przełączników są połączone z szyną sygnałową, drugie styki nieruchome są połączone z masą układu, a trzecie styki nieruchome są połączone z szyną referencyjną.

Korzystne jest, gdy źródło prądowe referencyjne i źródło prądowe sygnałowe mają taką samą wydajność.

Korzystne jest, gdy źródło prądowe referencyjne ma wydajność regulowaną.

Zaletą rozwiązania jest taktowanie jego pracy za pomocą sygnałów wyjściowych dwóch komparatorów, które wykrywają momenty zakończenia realizowania każdego z etapów procesu przetwarzania. W ten sposób wyeliminowano potrzebę stosowania zewnętrznego źródła przebiegu taktującego, pobierającego znaczne ilości energii, istotnie poprawiając sprawność energetyczną procesu przetwarzania.

Trwałe połączenie dolnych okładek wszystkich kondensatorów z masą układu eliminuje lub ogranicza wpływ większości pojemności pasożytniczych na dokładność otrzymywanych wyników przetwarzania. Rozwiązanie takie zmniejsza także liczbę przełączników niezbędnych do skonstruowania przetwornika, a także upraszcza proces sterowania jego pracą.

Zastosowanie źródła prądowego referencyjnego o regulowanej wydajności umożliwia niezależne definiowanie zakresu pomiarowego przetwornika i maksymalnej długości odcinka czasu sygnałowego. Dzięki powyższemu całkowity czas przetwarzania może być krótszy od osiąganego w układzie wykorzystującym źródło prądowe referencyjne o wydajności stałej i równej wydajności źródła prądowego sygnałowego.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

Fig. 1 – układ w stanie oczekiwania na pojawienie się początku interwału czasu,

Fig. 2 – wzajemne usytuowanie interwału czasu T oraz odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST .

Zgodnie z wynalazkiem w pierwszym przykładowym rozwiązaniu układ do przetwarzania interwału czasu na słowo cyfrowe metodą kompensacji wagowej zawiera (fig. 1) moduł sterujący CM wyposażony w wejście interwału czasu I_n , wyjście słowa cyfrowego B oraz wyjście zakończenia przetwarzania RDY . Wejście referencyjne I_R modułu sterującego CM jest połączone z wyjściem komparatora referencyjnego K_R , a wejście sygnałowe I_S modułu sterującego CM jest połączone z wyjściem komparatora sygnałowego K_S . Wyjście referencyjne P_R modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego referencyjnego I_R , a wyjście sygnałowe P_S modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego sygnałowego I_S . Wyjścia sterujące $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ modułu sterującego CM są połączone, odpowiednio, z wejściami sterującymi przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ zestawu kondensatorów CS . W zestawie kondensatorów CS pojemność każdego kondensatora $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Wejście nieodwracające komparatora referencyjnego K_R jest połączone z szyną referencyjną R oraz wyjściem źródła prądowego referencyjnego I_R , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora referencyjnego K_R jest połączone z napięciem progowym U_{TH} . Wejście nieodwracające komparatora sygnałowego K_S jest połączone z szyną sygnałową S oraz wyjściem źródła prądowego sygnałowego I_S , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora sygnałowego K_S jest połączone z napięciem progowym U_{TH} oraz wejściem odwracającym komparatora referencyjnego K_R . Dolne okładki kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS są połączone z masą układu, a górne okładki tych kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ są połączone, odpowiednio, ze stykami ruchomymi przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$. Pierwsze styki nieruchome przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ są połączone z szyną sygnałową S , drugie styki nieruchome są połączone z masą układu, a trzecie styki nieruchome są połączone z szyną referencyjną R . Źródło prądowe referencyjne I_R i źródło prądowe sygnałowe I_S , w tym przykładzie, mają jednakową wydajność.

W drugim przykładowym rozwiązaniu układ różni się od przedstawionego w pierwszym przykładzie tym, że źródło prądowe referencyjne I_R ma wydajność regulowaną, której wartość zmienia się za pomocą wyjścia referencyjnego P_R modułu sterującego CM.

W poniższym opisie przebiegu przetwarzania przyjęto następujące oznaczenia:

x jest indeksem kondensatora ładowanego aktualnie za pomocą źródła prądowego referencyjnego I_R ,

y jest indeksem kondensatora ładowanego aktualnie za pomocą źródła prądowego sygnałowego I_S ,

z jest indeksem kondensatora, którego pojemność aktualnie jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS .

Przetwarzanie interwału czasu na słowo cyfrowe metodą kompensacji wagowej realizowane w pierwszym przykładowym układzie (fig. 1) przebiega następująco. Przed rozpoczęciem procesu przetwarzania moduł sterujący CM, przy pomocy sygnału z wyjścia referencyjnego P_R , powoduje wyłączenie źródła prądowego referencyjnego I_R , zaś przy pomocy sygnału z wyjścia sygnałowego P_S powoduje wyłączenie źródła prądowego sygnałowego I_S . Przy pomocy sygnałów z wyjść sterujących $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ moduł sterujący CM powoduje przełączenie przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ w drugie położenie i połączenie górnych okładek wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS .

W chwili t_1 wykrycia przez moduł sterujący CM początku interwału czasu T , sygnalizowanego na wejściu interwału czasu I_n , moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan nieaktywny. Następnie moduł sterujący CM rozpoczyna odmierzenie odcinka czasu referencyjnego RT (fig. 2). Moduł sterujący CM łączy wówczas wyjście źródła prądowego referencyjnego I_R

z górną okładkę kondensatora C_{n-1} o największej pojemności w zestawie kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_{n-1} i przełączenie przełącznika S_{n-1} w trzecie położenie. Jednocześnie, przy pomocy sygnału z wyjścia referencyjnego P_R moduł sterujący CM powoduje włączenie źródła prądowego referencyjnego I_R . Następnie moduł sterujący CM przypisuje bitowi b_{n-1} n-bitowego pierwszego słowa cyfrowego wartość 1, a bitowi b_{n-1} n-bitowego drugiego słowa cyfrowego wartość 0. Napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym za pomocą źródła prądowego referencyjnego I_R porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Gdy napięcie referencyjne U_R osiągnie wielkość napięcia progowego U_{TH} wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego K_R , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_x , przełączenie przełącznika S_x w drugie położenie i połączenie górnej okładki kondensatora C_x z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Jednocześnie moduł sterujący CM łączy wyjście źródła prądowego referencyjnego I_R z górną okładkę kondensatora C_z , takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_z przełączenie przełącznika S_z w trzecie położenie. Następnie moduł sterujący CM przypisuje bitowi b_z n-bitowego pierwszego słowa cyfrowego wartość 1, a bitowi b_z n-bitowego drugiego słowa cyfrowego wartość 0. Napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym aktualnie za pomocą źródła prądowego referencyjnego I_R porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Czynności te powtarza się aż do momentu t_3 zakończenia odmierzenia odcinka czasu referencyjnego RT.

W chwili t_2 wykrycia końca interwału czasu T przez moduł sterujący CM, sygnalizowanego na wejściu interwału czasu I_n , moduł sterujący CM rozpoczyna odmierzenie odcinka czasu sygnałowego ST (fig. 2). Moduł sterujący CM łączy wówczas wyjście źródła prądowego sygnałowego I_S z górną okładkę kondensatora C_z , takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_z , przełączenie przełącznika S_z w pierwsze położenie. Jednocześnie, przy pomocy sygnału z wyjścia sygnałowego P_S , moduł sterujący CM powoduje włączenie źródła prądowego sygnałowego I_S . Następnie moduł sterujący CM przypisuje bitowi b_z n-bitowego pierwszego słowa cyfrowego wartość 0, a bitowi b_z n-bitowego drugiego słowa cyfrowego wartość 1. Napięcie sygnałowe U_S narastające na kondensatorze C_y ładowanym za pomocą źródła prądowego sygnałowego I_S porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} . Gdy napięcie sygnałowe U_S osiągnie wielkość napięcia progowego U_{TH} wówczas, na podstawie sygnału wyjściowego komparatora sygnałowego K_S , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_y , przełączenie przełącznika S_y w drugie położenie i połączenie górnej okładki kondensatora C_y z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Jednocześnie moduł sterujący CM łączy wyjście źródła prądowego sygnałowego I_S z górną okładkę kondensatora C_z , takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. Czynności te powtarza się aż do momentu t_3 zakończenia odmierzenia odcinka czasu sygnałowego ST.

Odmierzanie odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST moduł sterujący CM kończy w chwili t_3 (fig. 2), gdy podczas ładowania kondensatora C_0 o najmniejszej pojemności w zestawie kondensatorów CS wykryje, albo na podstawie sygnału wyjściowego komparatora referencyjnego K_S , że napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym za pomocą źródła prądowego referencyjnego I_R jest równe napięciu progowemu U_{TH} albo na podstawie sygnału wyjściowego komparatora sygnałowego K_S , że napięcie sygnałowe U_S narastające na kondensatorze C_y ładowanym za pomocą źródła prądowego sygnałowego I_S jest równe napięciu progowemu U_{TH} . W drugim z przypadków moduł sterujący CM zmniejsza o 1 wartość n-bitowego pierwszego słowa cyfrowego. Następnie, w obu przypadkach, moduł sterujący CM, przy pomocy sygnału z wyjścia referencyjnego P_R powoduje wyłączenie źródła prądowego referencyjnego I_R , zaś przy pomocy sygnału z wyjścia sygnałowego P_S powoduje wyłączenie źródła prądowego sygnałowego I_S . Przy pomocy sygnałów z wyjść sterujących $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ Po moduł sterujący CM powoduje przełączenie przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ w drugie położenie i połączenie górnych okładek wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS.

Moduł sterujący CM wyznacza wartości bitów $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ n-bitowego wyjściowego słowa cyfrowego B, będącego wynikiem przetwarzania, odejmując od wartości n-bitowego pierwszego słowa cyfrowego wartość n-bitowego drugiego słowa cyfrowego. Następnie moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan aktywny.

W drugim przykładowym układzie przetwarzanie interwału czasu na słowo cyfrowe metodą kompensacji wagowej różni się od realizowanego w pierwszym przykładowym układzie tym, że w chwili t_1 wykrycia przez moduł sterujący CM początku interwału czasu T, sygnalizowanego na wejściu interwału czasu I_n , moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia referencyjnego P_R zmniejszenie wydajności źródła prądowego referencyjnego I_R poniżej wydajności źródła prądowego sygnałowego I_S . W chwili t_2 wykrycia przez moduł sterujący CM końca interwału czasu T, sygnalizowanego na wejściu interwału czasu I_n , moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia referencyjnego P_R , zwiększenie wydajności źródła prądowego referencyjnego I_R do wydajności źródła prądowego sygnałowego I_S .

Wykaz oznaczeń na rysunku

I_n	wejście interwału czasu,
I_{nS}	wejście sygnałowe,
I_{nR}	wejście referencyjne,
P_S	wyjście sygnałowe,
P_R	wyjście referencyjne,
B	wyjście słowa cyfrowego,
$b_{n-1}, b_{n-2}, \dots, b_1, b_0$	bity słowa cyfrowego,
RDY	wyjście zakończenia przetwarzania,
I_S	źródło prądowe sygnałowe,
I_R	źródło prądowe referencyjne,
S	szyna sygnałowa,
R	szyna referencyjna,
K_S	komparator sygnałowy,
K_R	komparator referencyjny,
CS	zestaw kondensatorów,
$C_{n-1}, C_{n-2}, \dots, C_1, C_0$	kondensatory,
C_{n-1}	kondensator o największej pojemności w zestawie,
C_0	kondensator o najmniejszej pojemności w zestawie,
$S_{n-1}, S_{n-2}, \dots, S_1, S_0$	przełączniki,
$P_{n-1}, P_{n-2}, \dots, P_1, P_0$	wyjścia sterujące,
CM	moduł sterujący,
U_S	napięcie sygnałowe,
U_R	napięcie referencyjne,
U_{TH}	napięcie progowe,
U_{DD}	napięcie zasilania,
T	interwał czasu,
t_1	chwila wykrycia początku interwału czasu T,
t_2	chwila wykrycia końca interwału czasu T,
t_3	moment zakończenia odmierzenia obu odcinków czasu,
ST	odcinek czasu sygnałowego,
RT	odcinek czasu referencyjnego.

Zastrzeżenia patentowe

1. Układ do przetwarzania interwału czasu na słowo cyfrowe, zawierający moduł sterujący wyposażony w wejście interwału czasu, wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście referencyjne, połączone z wyjściem komparatora referencyjnego i wejście sygnałowe, połączone z wyjściem komparatora sygnałowego, oraz wyjście referencyjne, połączone z wejściem sterującym źródła prądowego referencyjnego i wyjście sygnałowe, połączone z wejściem sterującym źródła prądowego sygnałowego, a także wyjścia sterujące

przełącznikami zestawu kondensatorów, przy czym w zestawie kondensatorów pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego, a ponadto wejście nieodwracające komparatora referencyjnego jest połączone z szyną referencyjną oraz wyjściem źródła prądowego referencyjnego, którego wejście jest połączone z napięciem zasilania, a wejście odwracające komparatora referencyjnego jest połączone z napięciem progowym, **znamienny tym**, że wejście nieodwracające komparatora sygnałowego (K_S) jest połączone z szyną sygnałową (S) oraz wyjściem źródła prądowego sygnałowego (I_S), którego wejście jest połączone z napięciem zasilania (U_{DD}), a wejście odwracające komparatora sygnałowego (K_S) jest połączone z napięciem progowym (U_{TH}) oraz wejściem odwracającym komparatora referencyjnego (K_R), zaś dolne okładki kondensatorów ($C_{n-1}, C_{n-2}, \dots, C_1, C_0$) zestawu kondensatorów (CS) są połączone z masą układu, a górne okładki tych kondensatorów ($C_{n-1}, C_{n-2}, \dots, C_1, C_0$) są połączone, odpowiednio, ze stykami ruchomymi przełączników ($S_{n-1}, S_{n-2}, \dots, S_1, S_0$), których pierwsze styki nieruchome są połączone z szyną sygnałową (S), drugie styki nieruchome są połączone z masą układu, a trzecie styki nieruchome są połączone z szyną referencyjną (R).

2. Układ, według zastrz. 1, **znamienny tym**, że źródło prądowe referencyjne (I_R) i źródło prądowe sygnałowe (I_S) mają taką samą wydajność.
3. Układ, według zastrz. 1, **znamienny tym**, że źródło prądowe referencyjne (I_R) ma wydajność regulowaną.

Rysunki

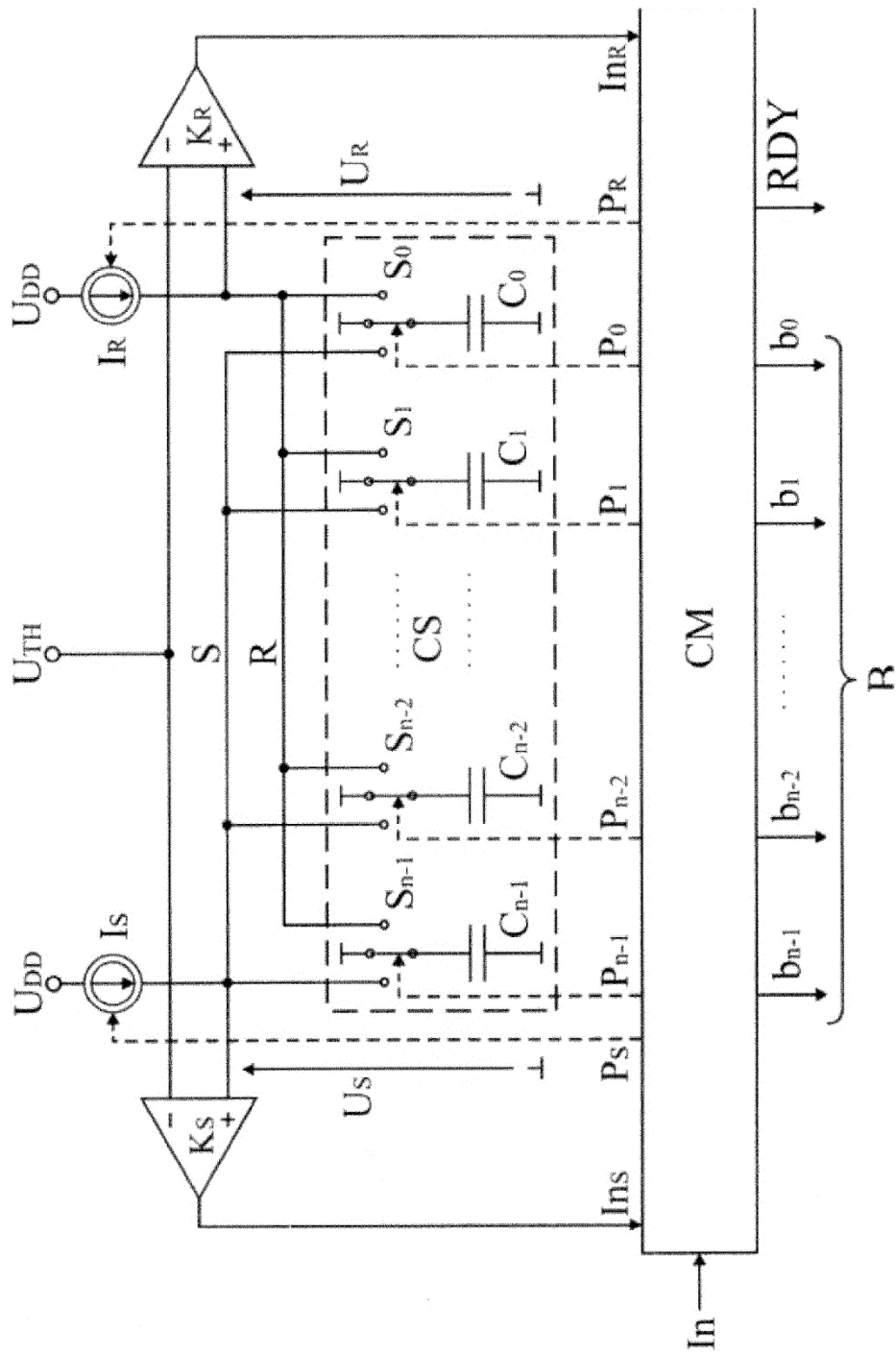


Fig. 1

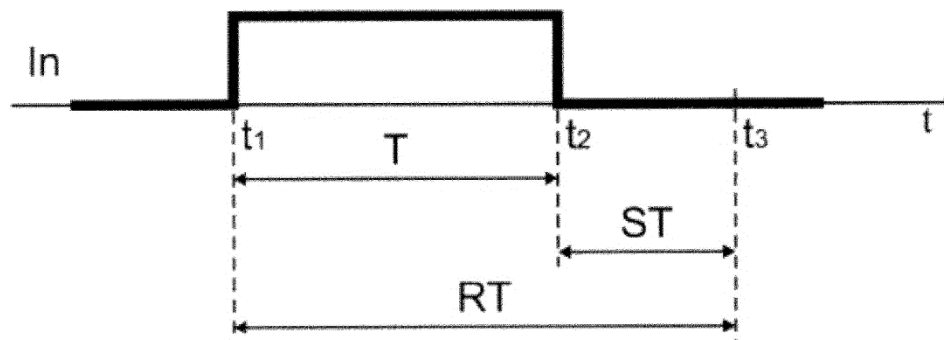


Fig. 2