

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **227452**

(13) **B1**

(21) Numer zgłoszenia: **413961**

(22) Data zgłoszenia: **14.09.2015**

(51) Int.Cl.

H03M 1/00 (2006.01)

H03M 1/34 (2006.01)

H03M 1/14 (2006.01)

(54) **Sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe**

(43) Zgłoszenie ogłoszono:

27.03.2017 BUP 07/17

(45) O udzieleniu patentu ogłoszono:

29.12.2017 WUP 12/17

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

rzecz. pat. Andrzej Kacperski

PL 227452 B1

Opis wynalazku

Przedmiotem wynalazku jest sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych.

Z publikacji: G. Smarandoiu, K. Fukahori, P. R. Gray, D. A. Hodges „An All-MOS Analog-to-Digital Converter Using a Constant Slope Approach”, IEEE Journal of Solid-State Circuits, Volume: 11, Issue: 3, 1976, str. 408 ÷ 410 znany jest sposób pośredniego przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe. Napięcie przetwarzane jest w pierwszej próbce. Ładunek zgromadzony w kondensatorze próbkującym jest następnie usuwany za pomocą źródła prądowego o stałej wydajności. Czas rozładowywania kondensatora jest zatem proporcjonalny do wielkości próbki napięcia przetwarzanego. Pomiaru długości tego czasu dokonuje się poprzez zliczanie impulsów wygenerowanych w trakcie rozładowywania kondensatora próbkującego przez generator referencyjny.

Znany z opisu patentowego PL 220 542 (publikacja zgłoszenia międzynarodowego WO 2011/152745) sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe polega na odwzorowaniu tego napięcia proporcjonalną do niego wielkością ładunku elektrycznego. Ładunek ten gromadzi się w kondensatorze próbkującym przez równoległe łączenie tego kondensatora ze źródłem napięcia przetwarzanego na czas trwania aktywnego stanu sygnału wyzwalającego. Następnie ilość zgromadzonego ładunku elektrycznego wyraża się w postaci słowa cyfrowego. W tym celu cały ładunek jest przenoszony z kondensatora próbkującego do matrycy kondensatorów o binarnym stosunku ich pojemności. W każdym z kroków tej fazy mniejszy, docelowy kondensator jest napełniany ładunkiem pobieranym z kondensatora większego, źródłowego. Jeżeli uda się całkowicie naładować kondensator docelowy, a zatem uzyskać między jego okładkami napięcie równe napięciu referencyjnemu, to zgromadzony w nim ładunek jest już tam pozostawiany. W przeciwnym przypadku częściowo naładowany kondensator staje się źródłowym, a zgromadzony w nim ładunek jest dzielony na jeszcze mniejsze porcje poprzez przeniesienie go do kondensatorów o mniejszych pojemnościach. Aby umożliwić przenoszenie ładunku pomiędzy dwoma kondensatorami, dolna okładka kondensatora źródłowego jest łączona ze źródłem napięcia pomocniczego, o wartości odpowiednio większej od wartości napięcia referencyjnego. W tym samym czasie dolna okładka kondensatora docelowego jest łączona z masą układu. Utrzymywana w ten sposób różnica potencjałów między górnymi okładkami obu kondensatorów umożliwia poprawną pracę źródła prądowego przenoszącego ładunek. W wyjściowym słowie cyfrowym każdemu całkowicie naładowanemu kondensatorowi jest przypisywany bit o wartości 1, a pozostałe kondensatory są reprezentowane przez bity o wartości 0.

Zgodnie z wynalazkiem sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe, polega na spróbkowaniu wielkości napięcia przetwarzanego poprzez równoległe połączenie kondensatora próbkującego ze źródłem napięcia przetwarzanego, a następnie odwzorowywaniu wielkości próbki napięcia przetwarzanego długością generowanego interwału czasu oraz przypisaniu za pomocą modułu sterującego odpowiedniej wartości n-bitowemu wyjściowemu słowu cyfrowemu.

Istotą rozwiązania jest to, że interwał czasu odwzorowuje się w postaci różnicy długości odcinka czasu referencyjnego i odcinka czasu sygnałowego. Odcinek czasu referencyjnego odmierza się od chwili rozpoczęcia generowania interwału czasu za pomocą modułu sterującego, a odcinek czasu sygnałowego odmierza się od chwili zakończenia generowania interwału czasu za pomocą modułu sterującego. Odmierzanie obu odcinków czasu kończy się w tym samym momencie.

Korzystne jest, gdy generowanie interwału czasu, za pomocą modułu sterującego, rozpoczyna się w chwili wykrycia, za pomocą modułu sterującego, początku aktywnego stanu na wejściu sygnału wyzwalającego i realizuje się przez ładowanie, za pomocą źródła prądowego sygnałowego, kondensatora próbkującego modułu próbkującego.

Korzystne jest, gdy odmierzanie odcinka czasu referencyjnego realizuje się przez ładowanie, za pomocą źródła prądowego referencyjnego, kondensatora wybranego za pomocą modułu sterującego z zestawu kondensatorów, takich, że pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Jako pierwszy wybiera się kondensator o największej pojemności w zestawie kondensatorów.

Kondensator ten ładuje się do chwili, gdy narastające na nim napięcie referencyjne, które porównuje się za pomocą komparatora referencyjnego z napięciem progowym, jest równe napięciu progowemu. Wówczas rozpoczyna się ładowanie, za pomocą źródła prądowego referencyjnego, kolejnego kondensatora wybranego z zestawu kondensatorów, takiego, że pojemność tego kondensatora jest

największa wśród nie ładowanych jeszcze kondensatorów, a narastające na nim napięcie referencyjne porównuje się, za pomocą komparatora referencyjnego, z napięciem progowym. Czynności te powtarza się do końca odmierzenia obu odcinków czasu.

Odmierzanie odcinka czasu sygnałowego realizuje się przez ładowanie, za pomocą źródła prądowego sygnałowego, kondensatora wybranego z zestawu kondensatorów, takiego, że pojemność tego kondensatora jest największa wśród nie ładowanych jeszcze kondensatorów. Tak wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe, które porównuje się za pomocą komparatora sygnałowego z napięciem progowym, jest równe napięciu progowemu. Następnie rozpoczyna się ładowanie, za pomocą źródła prądowego sygnałowego, kolejnego kondensatora, który wybiera się w taki sam sposób. Czynności te powtarza się do końca odmierzenia obu odcinków czasu.

Odmierzanie odcinka czasu referencyjnego i odcinka czasu sygnałowego kończy się, gdy podczas ładowania kondensatora o najmniejszej pojemności w zestawie kondensatorów wykryje się, że albo napięcie referencyjne, narastające na kondensatorze ładowanym za pomocą źródła prądowego referencyjnego, albo napięcie sygnałowe, narastające na kondensatorze ładowanym za pomocą źródła prądowego sygnałowego jest równe napięciu progowemu.

Korzystne jest, gdy generowanie interwału czasu, za pomocą modułu sterującego, kończy się w chwili, gdy napięcie narastające na kondensatorze próbkującym modułu próbkującego, które porównuje się za pomocą komparatora sygnałowego z napięciem progowym, jest równe napięciu progowemu.

Korzystne jest, gdy wartość n-bitowego wyjściowego słowa cyfrowego, będącego wynikiem przetwarzania, wyznacza się, za pomocą modułu sterującego, przypisując najmniej znaczącemu bitowi tego słowa cyfrowego wartość 1, jeżeli ostatni z kondensatorów ładowanych za pomocą źródła prądowego sygnałowego został naładowany do napięcia równego napięciu progowemu. Każdemu kolejnemu bitowi o indeksie j wyjściowego słowa cyfrowego przypisuje się wartość 1, jeżeli kondensator o indeksie j-1 zestawu kondensatorów był ładowany za pomocą źródła prądowego sygnałowego. W pozostałych przypadkach bitowi wyjściowego słowa cyfrowego przypisuje się wartość 0.

Korzystne jest, gdy w okresie trwania interwału czasu wydajności źródła prądowego sygnałowego jest mniejsza od wydajności źródła prądowego referencyjnego. W chwili zakończenia generowania interwału czasu, za pomocą modułu sterującego, wydajność źródła prądowego sygnałowego zwiększa się, za pomocą modułu sterującego, do wydajności źródła prądowego referencyjnego.

Zaletą rozwiązania jest taktowanie jego pracy za pomocą sygnałów wyjściowych dwóch komparatorów, które wykrywają momenty zakończenia realizowania każdego z etapów procesu przetwarzania. W ten sposób wyeliminowano potrzebę stosowania zewnętrznego źródła przebiegu taktującego, pobierającego znaczne ilości energii, istotnie poprawiając sprawność energetyczną procesu przetwarzania.

Przyczyną wysokiej sprawności energetycznej rozwiązania jest także całkowite zawieszanie wykonywania jakichkolwiek działań w przerwach pomiędzy kolejnymi procesami przetwarzania. Moc pobierana wówczas ze źródła zasilania przez układy wykonane w technologii CMOS jest pomijalnie mała.

Zastosowanie źródła prądowego sygnałowego o regulowanej wydajności umożliwia zmniejszenie niezbędnej pojemności kondensatora próbkującego, co pozwala istotnie ograniczyć powierzchnię zajmowaną przez przetwornik wykonany w postaci układu monolitycznego.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

Fig. 1 – układ w stanie próbkowania,

Fig. 2 – moduł próbkujący SM,

Fig. 3 – generowany interwału czasu T oraz zmiany napięcia U_{SM} na kondensatorze próbkującym C_n i modułu próbkującego SM.

Zgodnie z wynalazkiem sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe polega na odwzorowaniu wielkości próbki napięcia przetwarzanego długością generowanego interwału czasu T, którą z kolei wyraża się wartością różnicy długości odcinka czasu referencyjnego R_T i odcinka czasu sygnałowego S_T (fig. 3). Wielkość napięcia przetwarzanego próbkuje się poprzez połączenie górnej okładki kondensatora próbkującego C_n modułu próbkującego SM z wejściem I_n napięcia przetwarzanego U_{in} . W chwili wykrycia, za pomocą modułu sterującego CM, początku aktywnego stanu na wejściu sygnału wyzwalającego Trg , górną okładkę kondensatora próbkującego C_n modułu próbkującego SM łączy się z wyjściem źródła prądowego sygnałowego I_S i rozpoczyna się generowanie interwału czasu T za pomocą modułu sterującego CM. Napięcie U_{SM} na kondensatorze próbkującym C_n modułu próbkującego SM, ładowanym za pomocą źródła prądowego sygnałowego I_S , narasta od wielkości próbki napięcia przetwarzanego U_{in} . Generowanie interwału czasu T, za pomocą modułu sterującego CM, kończy się w chwili, gdy napięcie U_{SM} na kondensatorze

próbkującym C_n modułu próbkującego SM, które porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} (fig. 3).

Odmierzanie odcinka czasu referencyjnego RT rozpoczyna się w chwili t_1 rozpoczęcia generowania interwału czasu T za pomocą modułu sterującego CM (fig. 3). Odmierzanie odcinka czasu sygnałowego ST rozpoczyna się w chwili t_2 zakończenia generowania interwału czasu T za pomocą modułu sterującego CM (fig. 3). Odmierzanie obu odcinków czasu kończy się w tym samym momencie t_3 (fig. 3), po wyczerpaniu wspólnego zbioru elementów służących do przedłużania odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST.

Odmierzanie kolejnego skwantowanego fragmentu odcinka czasu referencyjnego RT realizuje się przez ładowanie, za pomocą źródła prądowego referencyjnego I_R , kondensatora wybranego za pomocą modułu sterującego CM z zestawu kondensatorów CS, zawierającego kondensatory $C_{n-1}, C_{n-2}, \dots, C_1, C_0$.

Jako pierwszy wybiera się kondensator C_{n-1} o największej pojemności w zestawie kondensatorów CS. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie referencyjne U_R które porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} . Wówczas rozpoczyna się ładowanie, za pomocą źródła prądowego referencyjnego I_R , kolejnego kondensatora wybranego z zestawu kondensatorów CS, takiego, że pojemność tego kondensatora jest największa wśród nie ładowanych jeszcze kondensatorów, a narastające na nim napięcie referencyjne U_R , porównuje się, za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Czynności te powtarza się aż do wyczerpania zbioru kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$.

Odmierzanie kolejnego skwantowanego fragmentu odcinka czasu sygnałowego ST realizuje się przez ładowanie, za pomocą źródła prądowego sygnałowego I_S , kondensatora wybranego za pomocą modułu sterującego CM z zestawu kondensatorów CS, takiego, że pojemność tego kondensatora jest największa wśród nie ładowanych jeszcze kondensatorów. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe U_S , które porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} . Następnie rozpoczyna się ładowanie za pomocą źródła prądowego sygnałowego I_S kolejnego kondensatora, który wybiera się w taki sam sposób. Czynności te powtarza się aż do wyczerpania zbioru kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ a wydajności źródła prądowego referencyjnego I_R i źródła prądowego sygnałowego I_S są stałe i takie same.

Odmierzanie odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST kończy się jednocześnie, gdy podczas ładowania kondensatora C_0 o najmniejszej pojemności w zestawie CS wykryje się, że albo napięcie referencyjne U_R narastające na kondensatorze ładowanym za pomocą źródła prądowego referencyjnego I_R , albo napięcie sygnałowe U_S narastające na kondensatorze ładowanym za pomocą źródła prądowego sygnałowego I_S jest równe napięciu progowemu U_{TH} .

Wartość n-bitowego wyjściowego słowa cyfrowego B, będącego wynikiem przetwarzania, wyznacza się, za pomocą modułu sterującego CM, przypisując najmniej znaczącemu bitowi b_0 tego słowa cyfrowego wartość 1, jeżeli ostatni z kondensatorów ładowanych za pomocą źródła prądowego sygnałowego I_S został naładowany do napięcia równego napięciu progowemu U_{TH} . Każdemu kolejnemu bitowi o indeksie j wyjściowego słowa cyfrowego B przypisując wartość 1, jeżeli kondensator o indeksie j-1 zestawu kondensatorów CS był ładowany za pomocą źródła prądowego sygnałowego I_S . W pozostałych przypadkach bitowi wyjściowego słowa cyfrowego B przypisuje się wartość 0.

Inny przykładowy sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe różni się od poprzednich tym, że w okresie generowania interwału czasu T, za pomocą modułu sterującego CM, wydajności źródła prądowego sygnałowego I_S jest ośmiokrotnie mniejsza od wydajności źródła prądowego referencyjnego I_R . W chwili t_2 zakończenia generowania interwału czasu T, za pomocą modułu sterującego CM, wydajność tę zwiększa się, za pomocą modułu sterującego CM, do wydajności źródła prądowego referencyjnego I_R .

Układ do pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe, w pierwszym przykładowym rozwiązaniu (fig. 1), zawiera moduł sterujący CM wyposażony w wejście sygnału wyzwalającego Trg , wyjście słowa cyfrowego B oraz wyjście zakończenia przetwarzania RDY. Wejście referencyjne I_S modułu sterującego CM jest połączone z wyjściem komparatora referencyjnego K_R , a wejście sygnałowe I_S modułu sterującego CM jest połączone z wyjściem komparatora sygnałowego K_S . Wyjście referencyjne P_R modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego referencyjnego I_R , a wyjście sygnałowe P_S modułu sterującego CM jest połączone

z wejściem sterującym źródła prądowego sygnałowego I_S . Wyjście próbkowania P_{SM} modułu sterującego CM jest połączone z wejściem sterującym modułu próbkującego SM.

Wyjścia sterujące $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ modułu sterującego CM są połączone, odpowiednio, z wejściami sterującymi przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ zestawu kondensatorów CS. W zestawie kondensatorów CS pojemność każdego kondensatora $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Wejście nieodwracające komparatora referencyjnego K_R jest połączone z szyną referencyjną R oraz wyjściem źródła prądowego referencyjnego I_R , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora referencyjnego K_R jest połączone z napięciem progowym U_{TH} . Wejście nieodwracające komparatora sygnałowego K_S jest połączone z szyną sygnałową S oraz wyjściem źródła prądowego sygnałowego I_S , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora sygnałowego K_S jest połączone z napięciem progowym U_{TH} oraz wejściem odwracającym komparatora referencyjnego K_R .

Dolne okładki kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS są połączone z masą układu, a górne okładki tych kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ są połączone, odpowiednio, ze stykami ruchomymi przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$. Pierwsze styki nieruchome przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ są połączone z szyną sygnałową S, drugie styki nieruchome są połączone z masą układu, a trzecie styki nieruchome są połączone z szyną referencyjną R. Źródło prądowe referencyjne I_R i źródło prądowe sygnałowe I_S mają jednakową wydajność.

Moduł próbkujący SM zawiera kondensator próbkujący C_n , którego pojemność jest równa podwojonej pojemności kondensatora C_{n-1} o największej pojemności w zestawie kondensatorów CS. Górna okładka kondensatora próbkującego C_n modułu próbkującego SM jest połączona ze stykiem ruchomym przełącznika górnej okładki S_T , którego pierwszy styk nieruchomy jest połączony z wejściem I_n napięcia przetwarzanego U_{in} , a drugi styk nieruchomy jest połączony z szyną sygnałową S (fig. 2). Dolna okładka kondensatora próbkującego C_n modułu próbkującego SM jest połączona z masą układu. Wejście sterujące przełącznika górnej okładki S_T jest połączone z wyjściem próbkowania P_{SM} modułu sterującego CM.

W drugim przykładowym rozwiązaniu układ różni się od przedstawionego w pierwszym przykładzie tym, że źródło prądowe sygnałowe I_S ma wydajność regulowaną, której wartość zmienia się za pomocą wyjścia referencyjnego P_R modułu sterującego CM. Wydajność źródła prądowego sygnałowego I_S może być równa wydajności źródła prądowego referencyjnego I_R lub osiem razy od niej mniejsza. Ponadto, pojemność kondensatora próbkującego C_n modułu próbkującego SM jest cztery razy mniejsza od pojemności kondensatora C_{n-1} o największej pojemności w zestawie kondensatorów CS.

W poniższym opisie przebiegu przetwarzania przyjęto następujące oznaczenia:

x jest indeksem kondensatora ładowanego aktualnie za pomocą źródła prądowego referencyjnego I_R ,

y jest indeksem kondensatora ładowanego aktualnie za pomocą źródła prądowego sygnałowego I_S .

z jest indeksem kondensatora, którego pojemność jest aktualnie największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS.

Pośrednie przetwarzanie próbki napięcia elektrycznego na słowo cyfrowe realizowane, według wynalazku, w pierwszym przykładowym układzie (fig. 1) przebiega następująco. Przed rozpoczęciem procesu przetwarzania moduł sterujący CM, przy pomocy sygnału z wyjścia referencyjnego P_R , powoduje wyłączenie źródła prądowego referencyjnego I_R , zaś przy pomocy sygnału z wyjścia sygnałowego P_S powoduje wyłączenie źródła prądowego sygnałowego I_S . Przy pomocy sygnałów z wyjść sterujących $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ moduł sterujący CM powoduje przełączenie przełączników $S_{n-1}, S_{n-2}, \dots, S_1, S_0$ w drugie położenie i połączenie górnych okładek wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS. Przy pomocy sygnału z wyjścia próbkowania P_{SM} moduł sterujący CM powoduje przełączenie przełącznika górnej okładki S_T w pierwsze położenie i połączenie górnej okładki kondensatora próbkującego C_n modułu próbkującego SM z wejściem I_n napięcia przetwarzanego U_{in} , wprowadzając moduł próbkujący SM w stan próbkowania (fig. 2).

W chwili wykrycia przez moduł sterujący CM początku aktywnego stanu na wejściu sygnału wyzwalającego Trg moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan nieaktywny. Następnie moduł sterujący CM kończy proces próbkowania wielkości napięcia przetwa-

rganego U_{in} i jednocześnie rozpoczyna generowanie interwału czasu T (fig. 3). Moduł sterujący CM łączy wówczas górną okładkę kondensatora próbkującego C_n modułu próbkującego SM z wyjściem źródła prądowego sygnałowego I_S . W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia próbkującego P_{SM} przełączenie przełącznika górnej okładki S_T w drugie położenie. Jednocześnie, przy pomocy sygnału z wyjścia sygnałowego P_S moduł sterujący CM powoduje włączenie źródła prądowego sygnałowego I_S . Napięcie U_{SM} na kondensatorze próbkującym C_n modułu próbkującego SM, ładowanym za pomocą źródła prądowego sygnałowego I_S , narasta od wielkości próbki napięcia przetwarzanego U_{in} (fig. 3). Napięcie to porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} . Następnie moduł sterujący CM rozpoczyna odmierzenie odcinka czasu referencyjnego RT (fig. 3). Moduł sterujący CM łączy wówczas wyjście źródła prądowego referencyjnego I_R z górną okładką kondensatora C_{n-1} o największej pojemności w zestawie kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_{n-1} przełączenie przełącznika S_{n-1} w trzecie położenie. Jednocześnie, przy pomocy sygnału z wyjścia referencyjnego P_R moduł sterujący CM powoduje włączenie źródła prądowego referencyjnego I_R . Napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym za pomocą źródła prądowego referencyjnego I_R porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Gdy napięcie referencyjne U_R osiągnie wielkość napięcia progowego U_{TH} wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego K_R , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_x , przełączenie przełącznika S_x w drugie położenie i połączenie górnej okładki kondensatora C_x z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Jednocześnie moduł sterujący CM łączy wyjście źródła prądowego referencyjnego I_R z górną okładką kondensatora C_z takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_z , przełączenie przełącznika S_z w trzecie położenie. Następnie moduł sterujący CM przypisuje bitowi b_{z+1} n -bitowego wyjściowego słowa cyfrowego B wartość 0. Napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym aktualnie za pomocą źródła prądowego referencyjnego I_R porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Czynności te powtarza się aż do momentu t_3 zakończenia odmierzenia odcinka czasu referencyjnego RT .

W chwili wykrycia przez modułu sterującego CM, na podstawie sygnału wyjściowego komparatora sygnałowego K_S , iż napięcie U_{SM} narastające na kondensatorze próbkującym C_n modułu próbkującego SM osiągnęło wielkość napięcia progowego U_{TH} , moduł sterujący CM kończy generowanie interwału czasu T (fig. 3). Moduł sterujący CM łączy wówczas górną okładkę kondensatora próbkującego C_n modułu próbkującego SM z wyjściem I_n napięcia przetwarzanego U_{in} , ponownie wprowadzając moduł próbkujący SM w stan próbkowania (fig. 2). W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia próbkującego P_{SM} przełączenie przełącznika górnej okładki S_T w pierwsze położenie. Następnie moduł sterujący CM rozpoczyna odmierzenie odcinka czasu sygnałowego ST (fig. 3). Moduł sterujący CM łączy wówczas wyjście źródła prądowego sygnałowego I_S z górną okładką kondensatora C_z , takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_z , przełączenie przełącznika S_z w pierwsze położenie. Następnie moduł sterujący CM przypisuje bitowi b_{z+1} n -bitowego wyjściowego słowa cyfrowego wartość 1. Napięcie sygnałowe U_S narastające na kondensatorze C_y ładowanym za pomocą źródła prądowego sygnałowego I_S porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} . Gdy napięcie sygnałowe U_S osiągnie wielkość napięcia progowego U_{TH} wówczas, na podstawie sygnału wyjściowego komparatora sygnałowego K_S , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego P_y , przełączenie przełącznika S_y w drugie położenie i połączenie górnej okładki kondensatora C_y z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Jednocześnie moduł sterujący CM łączy wyjście źródła prądowego sygnałowego I_S z górną okładką kondensatora C_z , takiego, że jego pojemność jest największa wśród nie ładowanych jeszcze kondensatorów zestawu kondensatorów CS. Czynności te powtarza się aż do momentu t_3 zakończenia odmierzenia odcinka czasu sygnałowego ST .

Odmierzanie odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST moduł sterujący CM kończy w chwili t_3 (fig. 3), gdy podczas ładowania kondensatora C_0 o najmniejszej pojemności w zestawie kondensatorów CS wykryje, albo na podstawie sygnału wyjściowego komparatora referencyjnego K_R , że napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym za pomocą źródła prądowego referencyjnego I_R jest równe napięciu progowemu U_{TH} , albo na podstawie sygnału

wyjściowego komparatora sygnałowego K_S , że napięcie sygnałowe U_S narastające na kondensatorze C_y ładowanym za pomocą źródła prądowego sygnałowego I_S jest równe napięciu progowemu U_{TH} . W pierwszym z przypadków moduł sterujący CM przypisuje najmniej znaczącemu bitowi b_0 wyjściowego słowa cyfrowego B wartość 0, natomiast w drugim z przypadków moduł sterujący CM przypisuje temu bitowi wartość 1. Następnie moduł sterujący CM, przy pomocy sygnału z wyjścia referencyjnego P_R powoduje wyłączenie źródła prądowego referencyjnego I_R , zaś przy pomocy sygnału z wyjścia sygnałowego P_S powoduje wyłączenie źródła prądowego sygnałowego I_S . Przy pomocy sygnałów z wyjść sterujących $P_{n-1}, P_{n-2}, \dots, P_1, P_0$ moduł sterujący CM powoduje przełączenie przełączników $S_{n-1}, S_{n-2}, S_1, S_0$ w drugie położenie i połączenie górnych okładek wszystkich kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów $C_{n-1}, C_{n-2}, C_1, C_0$ zestawu kondensatorów CS. (fig. 1). Następnie moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan aktywny.

W drugim przykładowym układzie w chwili wykrycia przez moduł sterujący CM początku aktywnego stanu na wejściu sygnału wyzwającego Trg moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sygnałowego P_S , ośmiokrotne zmniejszenie wydajności źródła prądowego sygnałowego I_S w stosunku do wydajności źródła prądowego referencyjnego I_R . W chwili t_2 zakończenia generowania interwału czasu T , za pomocą modułu sterującego CM, moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sygnałowego P_S , zwiększenie wydajności źródła prądowego sygnałowego I_S do wydajności źródła prądowego referencyjnego I_R .

Wykaz oznaczeń na rysunku

I_n	wejście napięcia przetwarzanego,
I_{nS}	wejście sygnałowe,
I_{nR}	wejście referencyjne,
Trg	wejście sygnału wyzwającego,
P_S	wyjście sygnałowe,
P_R	wyjście referencyjne,
P_{SM}	wyjście próbkowania,
RDY	wyjście zakończenia przetwarzania,
B	wyjście słowa cyfrowego,
$b_{n-1}, b_{n-2}, \dots, b_1, b_0$	bity słowa cyfrowego,
S	szyna sygnałowa,
R	szyna referencyjna,
I_S	źródło prądowe sygnałowe,
I_R	źródło prądowe referencyjne,
K_S	komparator sygnałowy,
K_R	komparator referencyjny,
CS	zestaw kondensatorów,
CM	moduł sterujący,
SM	moduł próbkujący,
C_n	kondensator próbkujący,
$C_{n-1}, C_{n-2}, C_1, C_0$	kondensatory zestawu,
C_{n-1}	kondensator o największej pojemności w zestawie,
C_0	kondensator o najmniejszej pojemności w zestawie,
S_T	przełącznik górnej okładki,
$S_{n-1}, S_{n-2}, \dots, S_1, S_0$	przełączniki,
$P_{n-1}, P_{n-2}, P_1, P_0$	wyjścia sterujące,
U_{in}	napięcie przetwarzane,
U_{SM}	napięcie na kondensatorze próbkującym,
U_{TH}	napięcie progowe,
U_S	napięcie sygnałowe,
U_R	napięcie referencyjne,
U_{DD}	napięcie zasilania,
T	interwał czasu,

ST	odcinek czasu sygnałowego,
RT	odcinek czasu referencyjnego,
t_1	chwila rozpoczęcia generowania interwału czasu T,
t_2	chwila zakończenia generowania interwału czasu T,
t_3	moment zakończenia odmierzenia obu odcinków czasu.

Zastrzeżenia patentowe

1. Sposób pośredniego przetwarzania próbki napięcia elektrycznego na słowo cyfrowe, polegający na spróbkowaniu wielkości napięcia przetwarzanego poprzez równoległe połączenie kondensatora próbkującego ze źródłem napięcia przetwarzanego, a następnie odwzorowywaniu wielkości próbki napięcia przetwarzanego długością generowanego interwału czasu oraz przypisaniu, za pomocą modułu sterującego, odpowiedniej wartości n-bitowemu wyjściowemu słowu cyfrowemu, **znamienny tym**, że interwał czasu (T) odwzorowuje się w postaci różnicy długości odcinka czasu referencyjnego (RT) i odcinka czasu sygnałowego (ST), przy czym odcinek czasu referencyjnego (RT) odmierza się od chwili (t_1) rozpoczęcia generowania interwału czasu (T) za pomocą modułu sterującego (CM), a odcinek czasu sygnałowego (ST) odmierza się od chwili (t_2) zakończenia generowania interwału czasu (T) za pomocą modułu sterującego (CM), zaś odmierzenie obu odcinków czasu kończy się w tym samym momencie (t_3).
2. Sposób według zastrz. 1, **znamienny tym**, że generowanie interwału czasu (T), za pomocą modułu sterującego (CM), rozpoczyna się w chwili wykrycia, za pomocą modułu sterującego (CM), początku aktywnego stanu na wejściu sygnału wyzwającego (Trg) i realizuje się przez ładowanie, za pomocą źródła prądowego sygnałowego (I_S), kondensatora próbkującego (C_n) modułu próbkującego (SM).
3. Sposób według zastrz. 2, **znamienny tym**, że
 - odmierzenie odcinka czasu referencyjnego (RT) realizuje się przez ładowanie, za pomocą źródła prądowego referencyjnego (I_R), kondensatora wybranego za pomocą modułu sterującego (CM) z zestawu kondensatorów (CS), zawierającego kondensatory ($C_{n-1}, C_{n-2}, \dots, C_1, C_0$), takie, że pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego, a jako pierwszy wybiera się kondensator (C_{n-1}) o największej pojemności w zestawie kondensatorów (CS), przy czym wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie referencyjne (U_R), które porównuje się za pomocą komparatora referencyjnego (K_R) z napięciem progowym (U_{TH}), jest równe napięciu progowemu (U_{TH}) i wówczas rozpoczyna się ładowanie, za pomocą źródła prądowego referencyjnego (I_R), kolejnego kondensatora wybranego z zestawu kondensatorów (CS), takiego, że pojemność tego kondensatora jest największa wśród nie ładowanych jeszcze kondensatorów, a narastające na nim napięcie referencyjne (U_R) porównuje się, za pomocą komparatora referencyjnego (K_R), z napięciem progowym (U_{TH}) i czynności te powtarza się,
 - odmierzenie odcinka czasu sygnałowego (ST) realizuje się przez ładowanie, za pomocą źródła prądowego sygnałowego (I_S), kondensatora wybranego za pomocą modułu sterującego (CM) z zestawu kondensatorów (CS), takiego, że pojemność tego kondensatora jest największa wśród nie ładowanych jeszcze kondensatorów, przy czym wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe (U_S), które porównuje się za pomocą komparatora sygnałowego (K_S) z napięciem progowym (U_{TH}), jest równe napięciu progowemu (U_{TH}), a następnie rozpoczyna się ładowanie, za pomocą źródła prądowego sygnałowego (I_S), kolejnego kondensatora, który wybiera się w taki sam sposób i czynności te powtarza się,
 - kończy się odmierzenie odcinka czasu referencyjnego (RT) i odcinka czasu sygnałowego (ST), gdy podczas ładowania kondensatora (C_0) o najmniejszej pojemności w zestawie (CS) wykryje się, że albo napięcie referencyjne (U_R) narastające na kondensatorze ładowanym za pomocą źródła prądowego referencyjnego (I_R), albo napięcie sygnałowe (U_S) narastające na kondensatorze ładowanym za pomocą źródła prądowego sygnałowego (I_S) jest równe napięciu progowemu (U_{TH}).

4. Sposób według zastrz. 3, **znamienny tym**, że generowanie interwału czasu (T), za pomocą modułu sterującego (CM), kończy się w chwili, gdy napięcie (U_{SM}) narastające na kondensatorze próbkującym (C_n) modułu próbkującego (SM), które porównuje się za pomocą komparatora sygnałowego (K_S) z napięciem progowym (U_{TH}), jest równe napięciu progowemu (U_{TH}).
5. Sposób według zastrz. 4, **znamienny tym**, że wartość n-bitowego wyjściowego słowa cyfrowego (B), będącego wynikiem przetwarzania, wyznacza się, za pomocą modułu sterującego (CM), przypisując najmniej znaczącemu bitowi (b_0) tego słowa cyfrowego wartość 1, jeżeli ostatni z kondensatorów ładowanych za pomocą źródła prądowego sygnałowego (I_S) został naładowany do napięcia równego napięciu progowemu (U_{TH}), a każdemu kolejnemu bitowi o indeksie j tego słowa cyfrowego przypisuje się wartość 1, jeżeli kondensator o indeksie j-1 zestawu kondensatorów (CS) był ładowany za pomocą źródła prądowego sygnałowego (I_S), natomiast w pozostałych przypadkach bitowi wyjściowego słowa cyfrowego (B) przypisuje się wartość 0.
6. Sposób według zastrz. 5, **znamienny tym**, że w okresie trwania interwału czasu (T) wydajności źródła prądowego sygnałowego (I_S) jest mniejsza od wydajności źródła prądowego referencyjnego (I_R), a w chwili (t_2) zakończenia generowania interwału czasu (T) za pomocą modułu sterującego (CM) wydajność źródła prądowego sygnałowego (I_S) zwiększa się, za pomocą modułu sterującego (CM), do wydajności źródła prądowego referencyjnego (I_R).

Rysunki

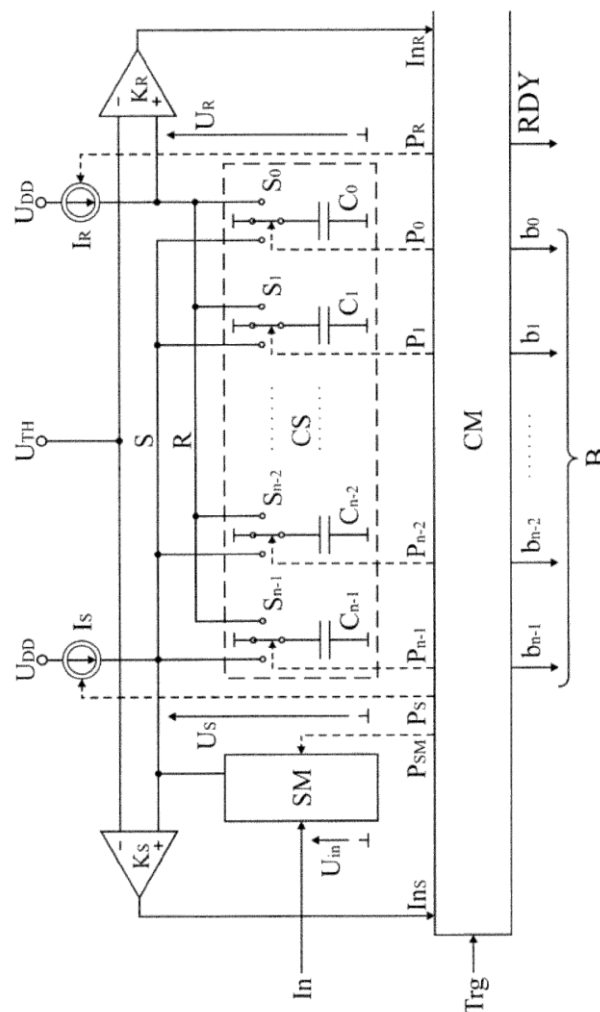


Fig. 1

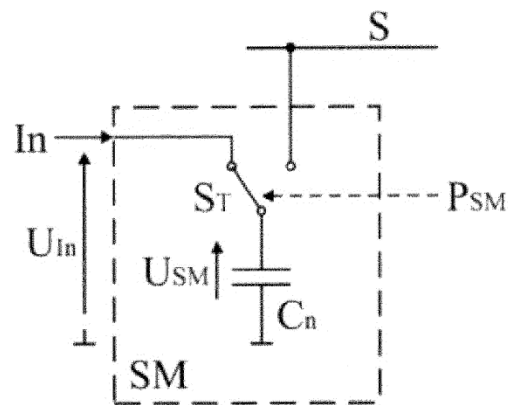


Fig. 2

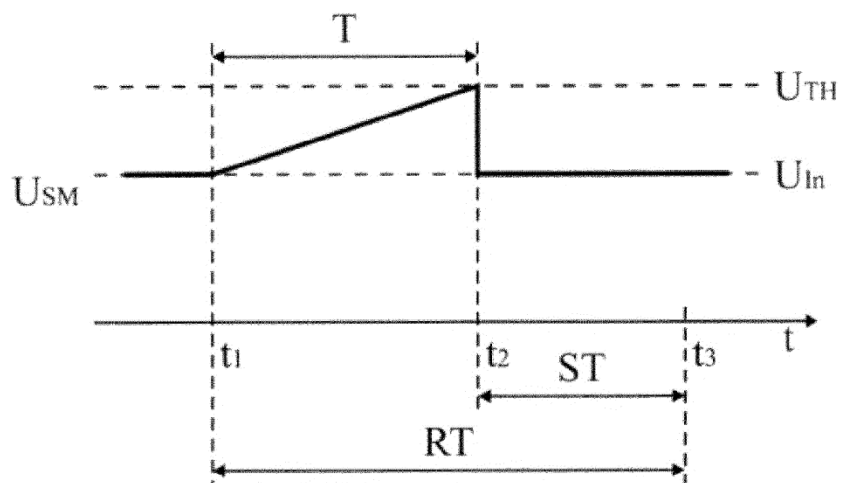


Fig. 3