

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **227450**

(13) **B1**

(21) Numer zgłoszenia: **413959**

(22) Data zgłoszenia: **14.09.2015**

(51) Int.Cl.

**H03M 1/00 (2006.01)**

**H03M 1/34 (2006.01)**

**H03M 1/14 (2006.01)**

---

(54) **Układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe**

---

(43) Zgłoszenie ogłoszono:

**27.03.2017 BUP 07/17**

(45) O udzieleniu patentu ogłoszono:

**29.12.2017 WUP 12/17**

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA  
IM. STANISŁAWA STASZICA W KRAKOWIE,  
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL  
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

**rzec. pat. Andrzej Kacperski**

---

**PL 227450 B1**

## Opis wynalazku

Przedmiotem wynalazku jest układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych. Układ zawiera liniowy przetwornik analogowo-cyfrowy pracujący zgodnie z zasadą kompensacji wagowej.

Z literatury technicznej, James McCreary, Paul R. Gray „A High-Speed, All-MOS Successive-Approximation Weighted Capacitor A/D Conversion Technique”, IEEE International Solid-State Circuits Conference, February 12, 1975. str. 38-39, znany jest układ do przetwarzania wielkości napięcia elektrycznego na liniowe słowo cyfrowe metodą kompensacji wagowej. Przetwornik ten zawiera kondensatorowy układ kompensacji wagowej, którego jedno wejście jest połączone ze źródłem przetwarzanego napięcia wejściowego, a drugie ze źródłem napięcia odniesienia, zaś wyjście jest połączone poprzez komparator z wejściem układu sterowania. Układ sterowania jest wyposażony w wyjście cyfrowe oraz wejście sygnału zegara, taktującego przebieg procesu przetwarzania. Dwa wyjścia sterujące układu sterowania są połączone z komparatorem, a kolejne wyjścia sterujące są podłączone do kondensatorowego układu kompensacji wagowej. Kondensatorowy układ kompensacji wagowej zawiera podzespół  $n$  kondensatorów o binarnym stosunku pojemności oraz dodatkowy kondensator, przy czym pierwsza okładka każdego kondensatora podzespołu jest połączona z pierwszą wspólną szyną, a pojemność dodatkowego kondensatora jest równa pojemności najmniejszego kondensatora podzespołu. Drugie okładki kondensatorów podzespołu są połączone z drugą wspólną szyną poprzez przełączniki, których drugie styki nieruchome są połączone z masą układu. Pierwsza wspólna szyna jest połączona z wejściem nieodwracającym komparatora, a druga wspólna szyna jest łączona poprzez kolejny przełącznik ze źródłem napięcia wejściowego albo ze źródłem napięcia odniesienia, Wejście odwracające komparatora jest połączone z masą układu.

Znany jest z opisu patentowego PL 220 241 (zgłoszenie międzynarodowe WO/2011/152744) układ do asynchronicznego przetwarzania interwału czasu na słowo cyfrowe. Układ ten zawiera zespół kondensatorów, którego wejścia sterujące są połączone z zestawem wyjść sterujących modułu sterującego. Moduł sterujący jest wyposażony w wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście interwału czasu oraz dwa wejścia sterujące. Pierwsze wejście sterujące jest połączone z wyjściem pierwszego komparatora, którego wejścia są połączone z jedną parą wyjść zespołu kondensatorów, a drugie wejście sterujące jest połączone z wyjściem drugiego komparatora, którego wejścia są połączone z drugą parą wyjść zespołu kondensatorów. Ponadto do zespołu kondensatorów jest podłączone źródło napięcia zasilania, źródło napięcia pomocniczego i źródło napięcia odniesienia, kondensator próbkujący oraz dwa sterowane źródła prądowe, których wejścia sterujące są połączone odpowiednio z wyjściami sterującymi modułu sterującego.

Z literatury technicznej, Eberhard Pfrenger, Peter Picard and Frithjof von Sichart „A Companding D/A Converter for a Dual-Channel PCM CODEC”, IEEE International Solid-State Circuits Conference, February 16, 1978, str. 186-187, znany jest układ do przetwarzania wielkości napięcia elektrycznego na skompresowane słowo cyfrowe metodą kompensacji wagowej. Układ ten zawiera komparator, którego wejście nieodwracające stanowi wejście analogowego sygnału wejściowego. Wyjście komparatora jest połączone z wejściem rejestru sukcesywnej aproksymacji SAR, wyposażonego w  $n$ -bitowe wyjście cyfrowe, będące wyjściem skompresowanego słowa cyfrowego. Wyjście to jest połączone z  $n$ -bitowym wejściem ekspandera, którego  $m$ -bitowe wyjście liniowego słowa cyfrowego jest połączone z wejściem  $m$ -bitowego liniowego przetwornika cyfrowo-analogowego. Wyjście tego przetwornika jest połączone z wejściem odwracającym komparatora.

Układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, według wynalazku, zawiera znany liniowy przetwornik analogowo-cyfrowy pracujący zgodnie z zasadą kompensacji wagowej. Wyjście liniowego słowa cyfrowego liniowego przetwornika analogowo-cyfrowego o liczbie bitów nie mniejszej od  $m$  jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji wyposażonego w wyjście skompresowanego słowa cyfrowego o liczbie bitów nie mniejszej od  $n$ . Liczba bitów liniowego słowa cyfrowego jest przy tym większa od liczby bitów skompresowanego słowa cyfrowego.

Istotą rozwiązania jest to, że moduł kompresji jest wyposażony w rejestr numeru sekcji. Ponadto wyjście sygnału zakończenia przetwarzania modułu kompresji jest połączone z wejściem sygnału zakończenia przetwarzania liniowego przetwornika analogowo-cyfrowego. Wyjście sygnału gotowości bitu liniowego przetwornika analogowo-cyfrowego jest połączone z wejściem sygnału gotowości bitu modułu kompresji.

Korzystnie jest, gdy wejście sygnału uruchamiającego kompresję modułu kompresji jest połączone z wejściem sygnału uruchamiającego przetwarzanie liniowego przetwornika analogowo-cyfrowego.

Korzystnie jest, gdy wejście sygnału uruchamiającego kompresję modułu kompresji jest połączone z wejściem sygnału analogowego liniowego przetwornika analogowo-cyfrowego.

Korzystnie jest też, gdy liniowy przetwornik analogowo-cyfrowy jest układem synchronicznym, a wyjście sygnału gotowości bitu liniowego przetwornika analogowo-cyfrowego składa się z pojedynczej linii przenoszącej sygnał taktujący pracę liniowego przetwornika analogowo-cyfrowego.

Korzystnie jest, gdy liniowy przetwornik analogowo-cyfrowy jest znanym układem asynchronicznym, zawierającym dwa komparatory, a wejście sygnału gotowości bitu liniowego przetwornika analogowo-cyfrowego składa się z dwóch linii przenoszących sygnały wyjściowe każdego z tych komparatorów.

Korzystnie jest, gdy liniowy przetwornik analogowo-cyfrowy jest przetwornikiem sygnału unipolarnego, wyposażonym w wyjście liniowego słowa cyfrowego o liczbie bitów równej  $m$ , zaś moduł kompresji jest wyposażony w wyjście skompresowanego słowa cyfrowego o liczbie bitów równej  $n$ .

Korzystnie jest, gdy liniowy przetwornik analogowo-cyfrowy jest przetwornikiem sygnału bipolarnego, wyposażonym w wyjście liniowego słowa cyfrowego o liczbie bitów równej  $m+1$  i formacie zapisu znak-moduł, zaś moduł kompresji jest wyposażony w wyjście skompresowanego słowa cyfrowego o liczbie bitów równej  $n+1$ .

Zaletą rozwiązania jest zmniejszenie średniej liczby kroków wykonywanych przez liniowy przetwornik analogowo-cyfrowy, niezbędnych w celu określenia wartości wyjściowego skompresowanego słowa cyfrowego. Dzięki powyższemu układ realizuje proces przetwarzania wielkości analogowej na skompresowane słowo cyfrowe zużywając mniejsze ilości czasu i energii.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono;

- Fig. 1 – schemat układu, w którym wejście sygnału uruchamiającego kompresję TrgCP modułu kompresji CPM jest połączone z wejściem sygnału uruchamiającego przetwarzanie TrgADC synchronicznego liniowego przetwornika analogowo-cyfrowego SA-ADC,
- Fig. 2 – schemat układu, w którym liniowy przetwornik analogowo-cyfrowy SA-ADC jest znanym układem asynchronicznym, a jego wyjście sygnału gotowości bitu BitRdy składa się z dwóch linii,
- Fig. 3 – strukturę liniowego słowa cyfrowego LW i skompresowanego słowa cyfrowego CW dla przypadku przetwarzania sygnału unipolarnego,
- Fig. 4 – strukturę liniowego słowa cyfrowego LW zapisanego w formacie znak-moduł i skompresowanego słowa cyfrowego CW dla przypadku przetwarzania sygnału bipolarnego.

Zgodnie z wynalazkiem układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, w pierwszym przykładowym rozwiązaniu (fig. 1), zawiera 11-bitowy, synchroniczny, unipolarny liniowy przetwornik analogowo-cyfrowy SA-ADC pracujący zgodnie z zasadą kompensacji wagowej. Wyjście liniowego słowa cyfrowego LW liniowego przetwornika analogowo-cyfrowego SA-ADC o liczbie bitów  $m$  równej 11 jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji CPM, wyposażonego w rejestr numeru sekcji RegS oraz wyjście skompresowanego słowa cyfrowego CW o liczbie bitów  $n$  równej 7 i wyjście sygnału zakończenia przetwarzania End, połączone z wejściem sygnału zakończenia przetwarzania End liniowego przetwornika analogowo-cyfrowego SA-ADC. Wyjście sygnału gotowości bitu BitRdy liniowego przetwornika analogowo-cyfrowego SA-ADC, składające się z pojedynczej linii przenoszącej sygnał taktujący pracę liniowego przetwornika analogowo-cyfrowego SA-ADC, jest połączone z wejściem sygnału gotowości bitu BitRdy modułu kompresji CPM. Wejście sygnału uruchamiającego kompresję TrgCP modułu kompresji CPM jest połączone z wejściem sygnału uruchamiającego przetwarzanie TrgADC liniowego przetwornika analogowo-cyfrowego SA-ADC.

W drugim przykładowym rozwiązaniu (fig. 2) układ zawiera znany, 11-bitowy, asynchroniczny, unipolarny liniowy przetwornik analogowo-cyfrowy SA-ADC, zawierający matrycę kondensatorów A połączoną, za pomocą linii sygnałów sterujących Ctr z modułem sterującym CM. Do matrycy kondensatorów A jest dołączony pierwszy komparator K1 i drugi komparator K2, których wyjścia są połączone, odpowiednio, z pierwszym wejściem In1 i drugim wejściem In2 modułu sterującego CM. Wyjście liniowego słowa cyfrowego LW modułu sterującego CM o liczbie bitów  $m$  równej 11 jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji CPM, wyposażonego w rejestr numeru sekcji RegS oraz wyjście skompresowanego słowa cyfrowego CW o liczbie bitów  $n$  równej 7 i wyjście sygna-

łu zakończenia przetwarzania End połączone z wejściem sygnału zakończenia przetwarzania End modułu sterującego CM. Wyjście sygnału gotowości bitu BitRdy liniowego przetwornika analogowo-cyfrowego SA-ADC, składające się z dwóch linii przesyłających sygnały wyjściowe pierwszego komparatora K1 i drugiego komparatora K2 jest połączone z wejściem sygnału gotowości bitu BitRdy modułu kompresji CPM. Wejście sygnału uruchamiającego kompresję TrgCP modułu kompresji CPM jest połączone z wejściem sygnału analogowego InADC modułu sterującego CM, będącym wejściem przetwarzanego interwału czasu.

W trzecim przykładowym rozwiązaniu (fig. 1) układ różni się od przedstawionego w pierwszym przykładowym rozwiązaniu tym, że zawiera 12-bitowy, synchroniczny, bipolarny liniowy przetwornik analogowo-cyfrowy SA-ADC, którego wyjście liniowego słowa cyfrowego LW o liczbie bitów  $m+1$  równej 12 jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji CPM. Moduł kompresji CPM jest wyposażony w wyjście skompresowanego słowa cyfrowego CW o liczbie bitów  $n+1$  równej 8.

Przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe realizowane w pierwszym przykładowym układzie (fig. 1) przebiega następująco. W chwili wykrycia przez moduł kompresji CPM stanu aktywnego na wejściu sygnału uruchamiającego kompresję TrgCP moduł kompresji CPM wpisuje do rejestru numeru sekcji RegS wartość  $v$  równą 7. W tej samej chwili wykrycia przez liniowy przetwornik analogowo-cyfrowy SA-ADC stanu aktywnego na wejściu sygnału uruchamiającego przetwarzanie TrgADC liniowy przetwornik analogowo-cyfrowy SA-ADC rozpoczyna przetwarzanie metodą kompensacji wagowej, w znany sposób, unipolarnej wielkości analogowej, podanej na wejście sygnału analogowego InADC, na liniowe słowo cyfrowe LW o liczbie bitów  $m$  równej 11. Liniowy przetwornik analogowo-cyfrowy SA-ADC wyznacza, w znany sposób, wartości kolejnych bitów liniowego słowa cyfrowego LW i równocześnie podaje je na wejście liniowego słowa cyfrowego LW modułu kompresji CPM. Po wyznaczeniu wartości każdego kolejnego bitu liniowy przetwornik analogowo-cyfrowy SA-ADC, za pośrednictwem wyjścia gotowości bitu BitRdy, sygnalizuje modułowi kompresji CPM gotowość tego bitu. Po wykryciu przez moduł kompresji CPM, na podstawie sygnału gotowości bitu BitRdy, wyznaczenia przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnego bitu liniowego słowa cyfrowego LW moduł kompresji CPM zmniejsza o jeden zawartość rejestru numeru sekcji RegS jeżeli wartość wyznaczonego bitu jest równa zero i w tym przypadku cykl wyznaczania oraz analizowania wartości kolejnego bitu powtarza się.

Moduł kompresji CPM zaprzestaje zmniejszania zawartości rejestru numeru sekcji RegS, gdy zawartość tego rejestru jest równa zero lub gdy moduł kompresji CPM wykryje w słowie cyfrowym LW pierwszy bit o wartości jeden. Wówczas, w obu przypadkach, moduł kompresji CPM oczekuje na wyznaczenie przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnych  $v$  bitów liniowego słowa cyfrowego LW, gdzie liczba  $v$  jest równa 4, zliczając pojawienie się  $v$  razy, a zatem 4 razy, sygnału gotowości bitu BitRdy. Następnie moduł kompresji CPM, przy pomocy sygnału zakończenia przetwarzania End, zatrzymuje proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe LW i jednocześnie wprowadza liniowy przetwornik analogowo-cyfrowy SA-ADC w stan gotowości.

Moduł kompresji CPM wpisuje na  $v$  bitów, a zatem na 4 bity, o najmniej znaczących pozycjach skompresowanego słowa cyfrowego CW wartości  $v$  bitów liniowego słowa cyfrowego LW wyznaczonych przez liniowy przetwornik analogowo-cyfrowy SA-ADC jako ostatnie (fig. 3). Moduł kompresji CPM wpisuje na  $s$  bitów skompresowanego słowa cyfrowego CW, gdzie liczba  $s$  jest równa 3, zajmujących kolejne pozycje tego słowa, zawartość rejestru numeru sekcji RegS (fig. 3).

W drugim przykładowym układzie (fig. 2) przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe przebiega następująco. W chwili wykrycia przez moduł kompresji CPM początku interwału czasu sygnalizowanego na wejściu sygnału uruchamiającego kompresję TrgCP moduł kompresji CPM wpisuje do rejestru numeru sekcji RegS modułu kompresji CPM wartość  $m-v$  równą 7. W tej samej chwili wykrycia przez moduł sterujący CM liniowego przetwornika analogowo-cyfrowego SA-ADC początku interwału czasu, sygnalizowanego na wejściu sygnału analogowego InADC, liniowy przetwornik analogowo-cyfrowy SA-ADC rozpoczyna przetwarzanie metodą kompensacji wagowej, w znany sposób, interwału czasu na liniowe słowo cyfrowe LW o liczbie bitów  $m$  równej 11. Liniowy przetwornik analogowo-cyfrowy SA-ADC wyznacza, w znany sposób, wartości kolejnych bitów liniowego słowa cyfrowego LW i równocześnie podaje je na wejście liniowego słowa cyfrowego LW modułu kompresji CPM. Liniowy przetwornik analogowo-cyfrowy kończy wyznaczenie wartości każdego kolejnego bitu w chwili pojawienia się krótkiego stanu aktywnego na wyjściu pierwszego komparatora K1 lub na wyjściu drugiego komparatora K2. Stany wyjść obu komparatorów są przekazywane modułowi kompresji CPM za pośrednictwem dwóch linii wejścia sygnału gotowości bitu BitRdy modułu

kompresji CPM. Po wykryciu przez moduł kompresji CPM, na podstawie sygnału gotowości bitu BitRdy, wyznaczenia przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnego bitu liniowego słowa cyfrowego LW moduł kompresji CPM zmniejsza o jeden zawartość rejestru numeru sekcji RegS jeżeli wartość wyznaczonego bitu jest równa zero i w tym przypadku cykl wyznaczania oraz analizowania wartości kolejnego bitu powtarza się.

Moduł kompresji CPM zaprzestaje zmniejszania zawartości rejestru numeru sekcji RegS, gdy zawartość tego rejestru jest równa zero lub gdy moduł kompresji CPM wykryje w słowie cyfrowym LW pierwszy bit o wartości jeden. Wówczas, w obu przypadkach, dalsze przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe, realizowane w drugim przykładowym układzie jest identyczny do przetwarzania realizowanego w pierwszym przykładowym układzie.

W trzecim przykładowym układzie przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe różni się od realizowanego w pierwszym przykładowym układzie tym, że moduł kompresji CPM rozpoczyna zmniejszania zawartości rejestru RegS po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości drugiego bitu liniowego słowa cyfrowego LW. Wartość pierwszego bitu tego liniowego słowa cyfrowego LW, zapisanego w formacie znak-moduł, określającą znak przetwarzanej wielkości analogowej Sg moduł kompresji CPM wpisuje na najbardziej znaczący bit skompresowanego słowa cyfrowego CW (fig. 4).

### Zastrzeżenia patentowe

1. Układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe zawierający liniowy przetwornik analogowo-cyfrowy pracujący zgodnie z zasadą kompensacji wagowej, którego wyjście liniowego słowa cyfrowego o liczbie bitów nie mniejszej od  $m$  jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji wyposażonego w wyjście skompresowanego słowa cyfrowego o liczbie bitów nie mniejszej od  $n$ , przy czym liczba bitów liniowego słowa cyfrowego jest większa od liczby bitów skompresowanego słowa cyfrowego, **znamienny tym**, że moduł kompresji (CPM) jest wyposażony w rejestr numeru sekcji (RegS), zaś wyjście sygnału zakończenia przetwarzania (End) modułu kompresji (CPM) jest połączone z wejściem sygnału zakończenia przetwarzania (End) liniowego przetwornika analogowo-cyfrowego (SA-ADC), a wyjście sygnału gotowości bitu (BitRdy) liniowego przetwornika analogowo-cyfrowego (SA-ADC) jest połączone z wejściem sygnału gotowości bitu (BitRdy) modułu kompresji (CPM).
2. Układ według zastrz. 1, **znamienny tym**, że wejście sygnału uruchamiającego kompresję (TrgCP) modułu kompresji (CPM) jest połączone z wejściem sygnału uruchamiającego przetwarzanie (TrgADC) liniowego przetwornika analogowo-cyfrowego (SA-ADC).
3. Układ według zastrz. 1, **znamienny tym**, że wejście sygnału uruchamiającego kompresję (TrgCP) modułu kompresji (CPM) jest połączone z wejściem sygnału analogowego (InADC) liniowego przetwornika analogowo-cyfrowego (SA-ADC).
4. Układ według zastrz. 2 albo 3, **znamienny tym**, że liniowy przetwornik analogowo-cyfrowy (SA-ADC) jest układem synchronicznym, a wyjście sygnału gotowości bitu (BitRdy) liniowego przetwornika analogowo-cyfrowego (SA-ADC) składa się z pojedynczej linii przenoszącej sygnał taktujący pracę liniowego przetwornika analogowo-cyfrowego (SA-ADC).
5. Układ według zastrz. 2 albo 3, **znamienny tym**, że liniowy przetwornik analogowo-cyfrowy (SA-ADC) jest znanym układem asynchronicznym, zawierającym dwa komparatory, a wyjście sygnału gotowości bitu (BitRdy) liniowego przetwornika analogowo-cyfrowego (SA-ADC) składa się z dwóch linii przenoszących sygnały wyjściowe każdego z tych komparatorów.
6. Układ według zastrz. 4 albo 5, **znamienny tym**, że liniowy przetwornik analogowo-cyfrowy (SA-ADC) jest przetwornikiem sygnału unipolarnego, wyposażonym w wyjście liniowego słowa cyfrowego (LW) o liczbie bitów równej  $m$ , zaś moduł kompresji (CPM) jest wyposażony w wyjście skompresowanego słowa cyfrowego CW o liczbie bitów równej  $n$ .
7. Układ według zastrz. 4 albo 5, **znamienny tym**, że liniowy przetwornik analogowo-cyfrowy (SA-ADC) jest przetwornikiem sygnału bipolarnego, wyposażonym w wyjście liniowego słowa cyfrowego (LW) o liczbie bitów równej  $m+1$  i formacie zapisu znak-moduł, zaś moduł kompresji (CPM) jest wyposażony w wyjście skompresowanego słowa cyfrowego (CW) o liczbie bitów równej  $n+1$ .

**Wykaz oznaczeń na rysunku**

SA-ADC	liniowy przetwornik analogowo-cyfrowy
CPM	moduł kompresji
InADC	wejście sygnału analogowego
RegS	rejestr numeru sekcji
LW	liniowe słowo cyfrowe
CW	skompresowane słowo cyfrowe
Ctr	linia sygnałów sterujących
End	sygnał zakończenia przetwarzania
BitRdy	sygnał gotowości bitu
TrgADC	wejście sygnału uruchamiającego przetwarzanie
TrgCP	wejście sygnału uruchamiającego kompresję
Sg	znak przetwarzanej wielkości analogowej
A	matryca kondensatorów
CM	moduł sterujący
K1	pierwszy komparator
K2	drugi komparator
In1	pierwsze wejście modułu sterującego
In2	drugie wejście modułu sterującego

Rysunki

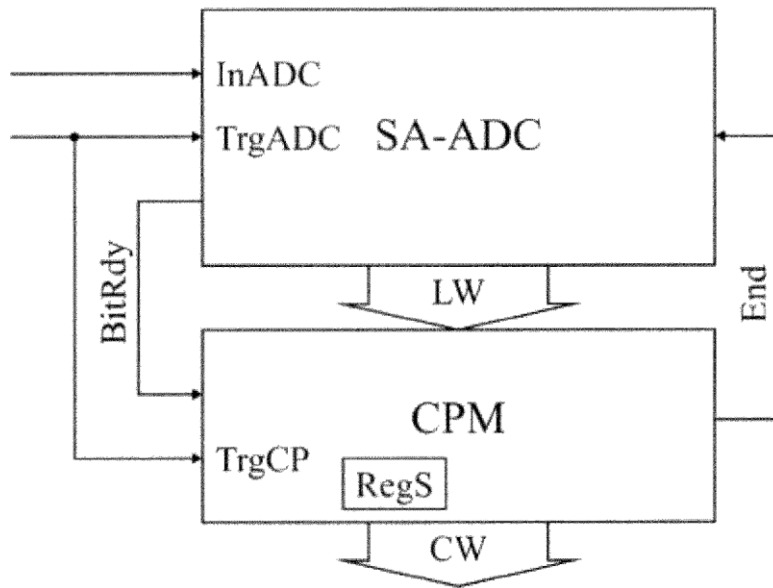


Fig. 1

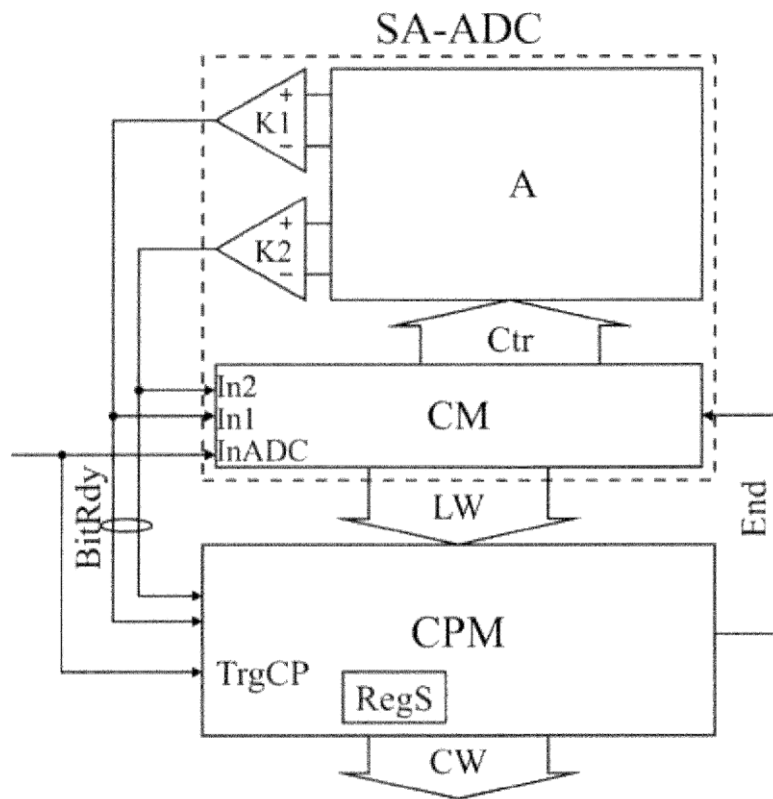


Fig. 2

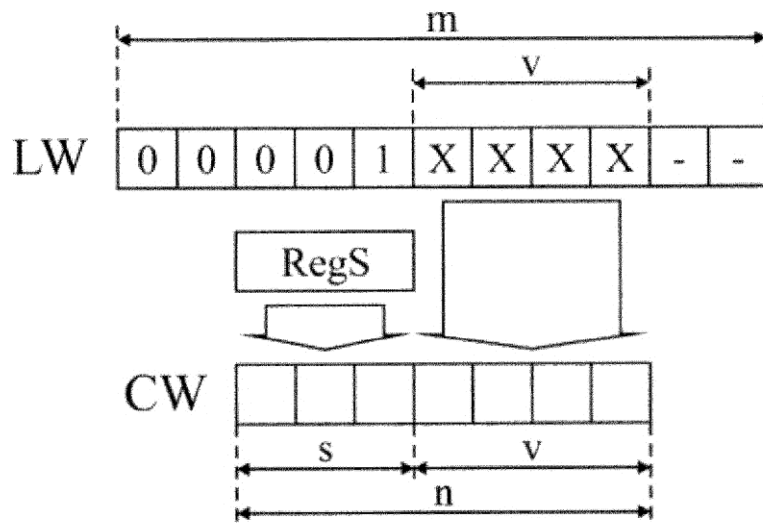


Fig. 3

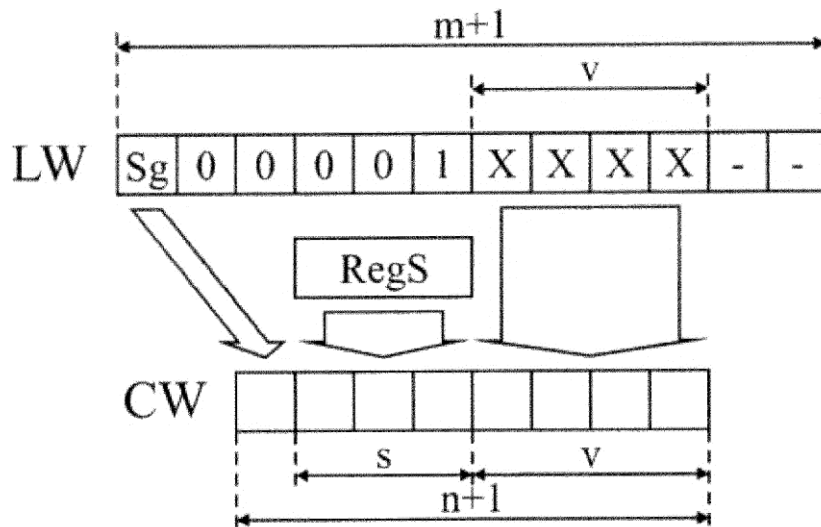


Fig. 4