

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **227449**

(13) **B1**

(21) Numer zgłoszenia: **413958**

(22) Data zgłoszenia: **14.09.2015**

(51) Int.Cl.

**H03M 1/00 (2006.01)**

**H03M 1/34 (2006.01)**

**H03M 1/14 (2006.01)**

---

(54) **Sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe**

---

(43) Zgłoszenie ogłoszono:

**27.03.2017 BUP 07/17**

(45) O udzieleniu patentu ogłoszono:

**29.12.2017 WUP 12/17**

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA  
IM. STANISŁAWA STASZICA W KRAKOWIE,  
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL  
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

**rzec. pat. Andrzej Kacperski**

---

**PL 227449 B1**

## Opis wynalazku

Przedmiotem wynalazku jest sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych. Sposób wykorzystuje przetwarzanie wielkości analogowej na liniowe słowo cyfrowe metodą kompensacji wagowej.

Z literatury technicznej, James McCreary, Paul R. Gray „A High-Speed, All-MOS Successive-Approximation Weighted Capacitor A/D Conversion Technique”, IEEE International Solid-State Circuits Conference, February 12, 1975, str. 38÷39, znany jest sposób przetwarzania wielkości napięcia elektrycznego na liniowe słowo cyfrowe metodą kompensacji wagowej. Podane rozwiązanie wykorzystuje w tym celu redystrybucję ładunku elektrycznego w zespole  $m+1$  kondensatorów. Pojemność każdego kolejnego kondensatora jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio poprzedzającego. Wyjątek stanowi ostatni kondensator, którego pojemność jest równa pojemności kondensatora przedostatniego. Pierwszym etapem sposobu jest próbkowanie wielkości napięcia wejściowego, w wyniku czego w układzie połączonych równolegle kondensatorów gromadzi się ładunek elektryczny o wielkości proporcjonalnej do wielkości napięcia wejściowego. Zgromadzony ładunek poddaje się następnie redystrybucji, poszukując takiego zestawu połączonych równolegle kondensatorów, na których ładunek ten wytworzy napięcie o wielkości jak najbliższej wielkości napięcia referencyjnego. W każdym kolejnym etapie procesu przetwarzania do zestawu przyłącza się następny, coraz mniejszy kondensator. Jeżeli napięcie uzyskane na kondensatorach zestawu jest większe od napięcia referencyjnego, kondensator ten pozostawia się w zestawie, a odpowiadający mu bit słowa wyjściowego ustawia się w stan jeden. W przeciwnym przypadku kondensator usuwa się z zestawu, a odpowiadający mu bit słowa wyjściowego zeruje się.

Z opisu standard ITU-T G.711 „Pulse code modulation of voice frequencies” znany jest sposób zapisywania wielkości próbki analogowego sygnału wejściowego w postaci skompresowanego słowa cyfrowego zgodnie z prawem A. Zarówno dodatnią, jak i ujemną część zakresu zmienności sygnału wejściowego dzieli się na osiem sekcji o różnych szerokościach. Sekcje nr 7 zajmują górne połowy dodatniej i ujemnej części zakresu przetwarzania. Każda kolejna sekcja o malejącym numerze obejmuje górną połowę z nieprzypisanej jeszcze dodatniej lub ujemnej części zakresu przetwarzania. Wyjątek stanowią sekcje o numerze 0, których szerokości są takie same, jak szerokości sekcji nr 1. Każdą sekcję dzieli się na szesnaści jednakowych przedziałów kwantyzacji. Skompresowane słowo cyfrowe zapisane zgodnie z prawem A na najbardziej znaczącym bicie podaje znak tej części zakresu przetwarzania, do której należy kodowana próbka sygnału wejściowego. Kolejne trzy bity tego słowa podają numer sekcji, której sięga wielkość kodowanej próbki. Cztery najmniej znaczące bity skompresowanego słowa cyfrowego wskazują numer przedziału kwantyzacji w danej sekcji, który jest najwyższym z przekroczonych przez wielkość kodowanej próbki.

Z literatury technicznej, Eberhard Pfrenger, Peter Picard and Frithjof von Sichert „A Companding D/A Converter for a Dual-Channel PCM CODEC”, IEEE International Solid-State Circuits Conference, February 16, 1978, str. 186÷187, znany jest sposób przetwarzania wielkości napięcia elektrycznego na skompresowane słowo cyfrowe metodą kompensacji wagowej. W każdym kolejnym kroku przetwarzania, za pomocą rejestru sukcesywnej aproksymacji SAR, ustawia się w stan jeden kolejny bit  $n$ -bitowego wyjściowego skompresowanego słowa cyfrowego, rozpoczynając od bitu najbardziej znaczącego. Ustawienie bitu oraz podanie aktualnej wartości tego słowa poprzez ekspander na wejście  $m$ -bitowego liniowego przetwornika cyfrowo-analogowego powoduje zwiększenie bezwzględnej wartości sygnału aproksymującego, generowanego na wyjściu tego przetwornika o kwant, którego wielkość jest początkowo równa połowie zakresu przetwarzania i maleje dwukrotnie w każdym kroku przetwarzania. Jeżeli wytworzony w ten sposób sygnał aproksymujący okaże się większy od wielkości próbki wejściowego sygnału analogowego, ustawiony poprzednio bit jest zerowany. W przeciwnym przypadku bit ten pozostanie w stanie jeden. Liczba kroków wykonywanych podczas przytoczonego sposobu przetwarzania jest niezależna od wielkości próbki wejściowego sygnału analogowego i nie mniejsza od  $n+1$ .

Sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, według wynalazku, wykorzystuje przetwarzanie wielkości analogowej na liniowe słowo cyfrowe metodą kompensacji wagowej. Liczba bitów liniowego słowa cyfrowego, nie mniejsza od  $m$ , jest większa od liczby bitów skompresowanego słowa cyfrowego, nie mniejszej od  $n$ . Kolejne bity liniowego słowa cyfrowego wyznacza się za pomocą liniowego przetwornika analogowo-cyfrowego i równocześnie podaje się je na wejście liniowego słowa cyfrowego modułu kompresji.

Istotą rozwiązania jest to, że proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe przerywa się za pomocą modułu kompresji w chwili określenia wartości wszystkich bitów skompresowanego słowa cyfrowego. Proces kompresji rozpoczyna się w chwili wykrycia, za pomocą modułu kompresji, stanu aktywnego na wejściu sygnału uruchamiającego kompresję, a wówczas do rejestru numeru sekcji modułu kompresji wpisuje się wartość  $m-v$ . Po wykryciu, na podstawie sygnału gotowości bitu, wyznaczenia przez liniowy przetwornik analogowo-cyfrowy wartości kolejnego bitu liniowego słowa cyfrowego zmniejsza się o jeden zawartość rejestru numeru sekcji jeżeli wartość wyznaczonego bitu jest równa zero. Zmniejszania zawartości rejestru numeru sekcji zaprzestaje się, gdy zawartość rejestru numeru sekcji jest równa zero lub gdy w słowie cyfrowym wykryje się bit o wartości jeden. Wówczas, w obu przypadkach, oczekuje się na wyznaczenie przez liniowy przetwornik analogowo-cyfrowy wartości kolejnych  $v$  bitów liniowego słowa cyfrowego, zliczając pojawienie się  $v$  razy sygnału gotowości bitu. Następnie generuje się sygnał zakończenia przetwarzania, zatrzymujący proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe. Jednocześnie wprowadza się liniowy przetwornik analogowo-cyfrowy w stan gotowości. Na  $v$  bitów o najmniej znaczących pozycjach skompresowanego słowa cyfrowego wpisuje się wartości  $v$  bitów liniowego słowa cyfrowego wyznaczonych jako ostatnie, a na  $s$  bitów skompresowanego słowa cyfrowego, zajmujących kolejne pozycje tego słowa, wpisuje się zawartość rejestru numeru sekcji.

Korzystnie jest, gdy przetwarzana wielkość analogowa jest unipolarna, skompresowane słowo cyfrowe zawiera  $n=s+v$  bitów, a proces zmniejszania zawartości rejestru numeru sekcji rozpoczyna się natychmiast po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy wartości pierwszego, najbardziej znaczącego bitu  $m$ -bitowego liniowego słowa cyfrowego.

Korzystnie jest też, gdy przetwarzana wielkość analogowa jest bipolarna, skompresowane słowo cyfrowe zawiera  $n+1=s+v+1$  bitów, a proces zmniejszania zawartości rejestru rozpoczyna się po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy wartości drugiego bitu  $m+1$ -bitowego liniowego słowa cyfrowego. Wartość pierwszego bitu liniowego słowa cyfrowego, zapisanego w formacie znak-moduł, określającą znak przetwarzanej wielkości analogowej wpisuje się, za pomocą modułu kompresji, na najbardziej znaczący bit  $n+1$ -bitowego skompresowanego słowa cyfrowego.

Zaletą rozwiązania jest zmniejszenie średniej liczby kroków wykonywanych przez liniowy przetwornik analogowo-cyfrowy, niezbędnych w celu określenia wartości wyjściowego skompresowanego słowa cyfrowego. Dzięki temu mniejsze stają się także ilości czasu i energii zużywanych w procesie przetwarzania wielkości analogowej na skompresowane słowo cyfrowe.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

- Fig. 1 – schemat układu do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe,
- Fig. 2 – strukturę liniowego słowa cyfrowego LW i skompresowanego słowa cyfrowego CW dla przypadku przetwarzania sygnału unipolarnego,
- Fig. 3 – strukturę liniowego słowa cyfrowego LW zapisanego w formacie znak-moduł i skompresowanego słowa cyfrowego CW dla przypadku przetwarzania sygnału bipolarnego.

Zgodnie z wynalazkiem sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe wykorzystuje przetwarzanie unipolarnej wielkości analogowej na liniowe słowo cyfrowe metodą kompensacji wagowej. Kolejne bity liniowego słowa cyfrowego LW o liczbie bitów  $m$  równej 11 wyznacza się za pomocą liniowego przetwornika analogowo-cyfrowego SA-ADC i równocześnie podaje się je na wejście liniowego słowa cyfrowego LW modułu kompresji CPM. Przetwarzanie wielkości analogowej na liniowe słowo cyfrowe LW przerywa się, za pomocą modułu kompresji CPM w chwili określenia wartości wszystkich bitów skompresowanego słowa cyfrowego CW o liczbie bitów  $n$  równej 7. Proces kompresji rozpoczyna się w chwili wykrycia za pomocą modułu kompresji CPM stanu aktywnego na wejściu sygnału uruchamiającego kompresję TrgCP. Wówczas wpisuje się do rejestru numeru sekcji RegS modułu kompresji CPM wartość  $m-v$  równą 7. Po wykryciu, na podstawie sygnału gotowości bitu BitRdy, wyznaczenia przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnego bitu liniowego słowa cyfrowego LW zmniejsza się o jeden zawartość rejestru numeru sekcji RegS jeżeli wartość wyznaczonego bitu jest równa zero. Proces zmniejszania zawartości rejestru numeru sekcji RegS rozpoczyna się natychmiast po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości pierwszego, najbardziej znaczącego bitu liniowego słowa cyfrowego LW. Zmniejszania zawartości rejestru numeru sekcji RegS zaprzestaje się, gdy zawartość tego rejestru jest równa zero lub gdy w słowie cyfrowym LW wykryje się bit o wartości jeden, Wówczas, w obu przypadkach, oczekuje się na wyznaczenie przez liniowy przetwornik analogowo-cyfrowy SA-ADC

wartości kolejnych  $v$  bitów liniowego słowa cyfrowego LW, gdzie liczba  $v$  jest równa 4, zliczając pojawienie się  $v$  razy, a zatem 4 razy, sygnału gotowości bitu BitRdy. Następnie generuje się sygnał zakończenia przetwarzania End, zatrzymujący proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe LW i jednocześnie wprowadzający liniowy przetwornik analogowo-cyfrowy SA-ADC w stan gotowości. Na  $v$  bitów, a zatem na 4 bity, o najmniej znaczących pozycjach skompresowanego słowa cyfrowego CW wpisuje się wartości  $v$  bitów liniowego słowa cyfrowego LW wyznaczonych jako ostatnie. Na  $s$  bitów skompresowanego słowa cyfrowego CW, gdzie liczba  $s$  jest równa 3, zajmujących kolejne pozycje tego słowa wpisuje się zawartość rejestru numeru sekcji RegS (fig. 2).

Inny sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe wykorzystuje przetwarzanie bipolarnej wielkości analogowej na liniowe słowo cyfrowe metodą kompensacji wagowej. Liczba bitów  $m+1$  liniowego słowa cyfrowego LW jest równa 12, zaś liczba bitów  $n+1$  skompresowanego słowa cyfrowego CW jest równa 8. Sposób ten różni się od poprzedniego tym, że proces zmniejszania zawartości rejestru RegS rozpoczyna się po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości drugiego bitu liniowego słowa cyfrowego LW. Wartość pierwszego bitu tego liniowego słowa cyfrowego LW, zapisanego w formacie znak-moduł, określającą znak przetwarzanej wielkości analogowej  $S_g$  wpisuje się, za pomocą modułu kompresji CPM, na najbardziej znaczący bit skompresowanego słowa cyfrowego CW (fig. 3).

Pierwszy przykładowy układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe zawiera (fig. 1) 11-bitowy, unipolarny liniowy przetwornik analogowo-cyfrowy SA-ADC pracujący zgodnie z zasadą kompensacji wagowej. Wyjście liniowego słowa cyfrowego LW liniowego przetwornika analogowo-cyfrowego SA-ADC o liczbie bitów  $m$  równej 11 jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji CPM, wyposażonego w rejestr numeru sekcji RegS oraz wyjście skompresowanego słowa cyfrowego CW o liczbie bitów  $n$  równej 7 i wyjście sygnału zakończenia przetwarzania End, połączone z wejściem sygnału zakończenia przetwarzania End liniowego przetwornika analogowo-cyfrowego SA-ADC. Wyjście sygnału gotowości bitu BitRdy liniowego przetwornika analogowo-cyfrowego SA-ADC jest połączone z wejściem sygnału gotowości bitu BitRdy modułu kompresji CPM. Wejście sygnału uruchamiającego kompresję TrgCP modułu kompresji CPM jest połączone z wejściem sygnału uruchamiającego przetwarzanie TrgADC liniowego przetwornika analogowo-cyfrowego SA-ADC.

Drugi przykładowy układ do przetwarzania wielkości analogowej na skompresowane słowo cyfrowe (fig. 1) różni się od pierwszego tym, że zawiera 12-bitowy, bipolarny liniowy przetwornik analogowo-cyfrowy SA-ADC, którego wyjście liniowego słowa cyfrowego LW o liczbie bitów  $m+1$  równej 12 jest połączone z wejściem liniowego słowa cyfrowego modułu kompresji CPM. Moduł kompresji CPM jest wyposażony w wyjście skompresowanego słowa cyfrowego CW o liczbie bitów  $n+1$  równej 8.

Przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe realizowane, według wynalazku, w pierwszym przykładowym układzie (fig. 1) przebiega następująco. W chwili wykrycia przez moduł kompresji CPM stanu aktywnego na wejściu sygnału uruchamiającego kompresję TrgCP moduł kompresji CPM wpisuje do rejestru numeru sekcji RegS wartość  $m-v$  równą 7. W tej samej chwili wykrycia przez liniowy przetwornik analogowo-cyfrowego SA-ADC stanu aktywnego na wejściu sygnału uruchamiającego przetwarzanie TrgADC liniowy przetwornik analogowo-cyfrowy SA-ADC rozpoczyna przetwarzanie metodą kompensacji wagowej, w znany sposób, unipolarnej wielkości analogowej, podanej na wejście sygnału analogowego InADC, na liniowe słowo cyfrowe LW o liczbie bitów  $m$  równej 11. Liniowy przetwornik analogowo-cyfrowy SA-ADC wyznacza, w znany sposób, wartości kolejnych bitów liniowego słowa cyfrowego LW i równocześnie podaje je na wejście liniowego słowa cyfrowego LW modułu kompresji CPM. Po wyznaczeniu wartości każdego kolejnego bitu liniowy przetwornik analogowo-cyfrowy SA-ADC, za pośrednictwem wyjścia gotowości bitu BitRdy, sygnalizuje modułowi kompresji CPM gotowość tego bitu. Po wykryciu przez moduł kompresji CPM, na podstawie sygnału gotowości bitu BitRdy, wyznaczenia przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnego bitu liniowego słowa cyfrowego LW moduł kompresji CPM zmniejsza o jeden zawartość rejestru numeru sekcji RegS jeżeli wartość wyznaczonego bitu jest równa zero i w tym przypadku cykl wyznaczania oraz analizowania wartości kolejnego bitu powtarza się.

Moduł kompresji CPU zaprzestaje zmniejszania zawartości rejestru numeru sekcji RegS, gdy zawartość tego rejestru jest równa zero lub gdy moduł kompresji CPM wykryje w słowie cyfrowym LW pierwszy bit o wartości jeden. Wówczas, w obu przypadkach, moduł kompresji CPM oczekuje na wyznaczenie przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości kolejnych  $v$  bitów liniowego słowa cyfrowego LW, gdzie liczba  $v$  jest równa 4, zliczając pojawienie się  $v$  razy, a zatem 4 razy, sy-

gnału gotowości bitu BitRdy. Następnie moduł kompresji CPM, przy pomocy sygnału zakończenia przetwarzania End, zatrzymuje proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe LW i jednocześnie wprowadza liniowy przetwornik analogowo-cyfrowy SA-ADC w stan gotowości.

Moduł kompresji CPM wpisuje na  $v$  bitów, a zatem na 4 bity, o najmniej znaczących pozycjach skompresowanego słowa cyfrowego CW wartości  $v$  bitów liniowego słowa cyfrowego LW wyznaczonych przez liniowy przetwornik analogowo-cyfrowy SA-ADC jako ostatnie (fig. 2). Moduł kompresji CPM wpisuje na  $s$  bitów skompresowanego słowa cyfrowego CW, gdzie liczba  $s$  jest równa 3, zajmujących kolejne pozycje tego słowa, zawartość rejestru numeru sekcji RegS (fig. 2).

W drugim przykładowym układzie (fig. 2) przetwarzanie wielkości analogowej na skompresowane słowo cyfrowe różni się od realizowanego w pierwszym przykładowym układzie tym, że moduł kompresji CPM rozpoczyna zmniejszania zawartości rejestru RegS po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy SA-ADC wartości drugiego bitu liniowego słowa cyfrowego LW. Wartość pierwszego bitu tego liniowego słowa cyfrowego LW, zapisanego w formacie znak-moduł, określającą znak przetwarzanej wielkości analogowej 5 g moduł kompresji CPM wpisuje na najbardziej znaczący bit skompresowanego słowa cyfrowego CW (fig. 3).

### Zastrzeżenia patentowe

1. Sposób przetwarzania wielkości analogowej na skompresowane słowo cyfrowe, wykorzystujący przetwarzanie wielkości analogowej na liniowe słowo cyfrowe metodą kompensacji wagowej, przy czym liczba bitów liniowego słowa cyfrowego, nie mniejsza od  $m$ , jest większa od liczby bitów skompresowanego słowa cyfrowego, nie mniejszej od  $n$ , a kolejne bity liniowego słowa cyfrowego wyznacza się za pomocą liniowego przetwornika analogowo-cyfrowego i równocześnie podaje się je na wejście liniowego słowa cyfrowego modułu kompresji, **znamienny tym**, że przetwarzanie wielkości analogowej na liniowe słowo cyfrowe (LW) przerywa się, za pomocą modułu kompresji (CPM), w chwili określenia wartości wszystkich bitów skompresowanego słowa cyfrowego (CW), przy czym proces kompresji rozpoczyna się w chwili wykrycia za pomocą modułu kompresji (CPM) stanu aktywnego na wejściu sygnału uruchamiającego kompresję (TrgCP) i wówczas wpisuje się do rejestru numeru sekcji (RegS) modułu kompresji (CPM) wartość  $m-v$ , a po wykryciu, na podstawie sygnału gotowości bitu (BitRdy), wyznaczenia przez liniowy przetwornik analogowo-cyfrowy (SA-ADC) wartości kolejnego bitu liniowego słowa cyfrowego (LW) zmniejsza się o jeden zawartość rejestru numeru sekcji (RegS) jeżeli wartość wyznaczonego bitu jest równa zero, natomiast zaprzestaje się zmniejszania zawartości rejestru numeru sekcji (RegS), gdy zawartość tego rejestru jest równa zero lub gdy w słowie cyfrowym (LW) wykryje się bit o wartości jeden, a wówczas, w obu przypadkach, oczekuje się na wyznaczenie przez liniowy przetwornik analogowo-cyfrowy (SA-ADC) wartości kolejnych  $v$  bitów liniowego słowa cyfrowego (LW), zliczając pojawienie się  $v$  razy sygnału gotowości bitu (BitRdy), po czym generuje się sygnał zakończenia przetwarzania (End), zatrzymujący proces przetwarzania wielkości analogowej na liniowe słowo cyfrowe (LW) i jednocześnie wprowadzający liniowy przetwornik analogowo-cyfrowy (SA-ADC) w stan gotowości, przy czym na  $v$  bitów o najmniej znaczących pozycjach skompresowanego słowa cyfrowego (CW) wpisuje się wartości  $v$  bitów liniowego słowa cyfrowego (LW) wyznaczonych jako ostatnie, a na  $s$  bitów skompresowanego słowa cyfrowego (CW) zajmujących kolejne pozycje tego słowa wpisuje się zawartość rejestru numeru sekcji (RegS).
2. Sposób według zastrz. 1, **znamienny tym**, że przetwarzana wielkość analogowa jest unipolarna, skompresowane słowo cyfrowe (CW) zawiera  $n=s+v$  bitów, a proces zmniejszania zawartości rejestru numeru sekcji (RegS) rozpoczyna się natychmiast po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy (SA-ADC) wartości pierwszego, najbardziej znaczącego bitu  $m$ -bitowego liniowego słowa cyfrowego (LW).
3. Sposób według zastrz. 1, **znamienny tym**, że przetwarzana wielkość analogowa jest bipolarna, skompresowane słowo cyfrowe (CW) zawiera  $n+1=s+v+1$  bitów, a proces zmniejszania zawartości rejestru (RegS) rozpoczyna się po wyznaczeniu przez liniowy przetwornik analogowo-cyfrowy (SA-ADC) wartości drugiego bitu  $m+1$ -bitowego liniowego słowa cyfrowego (LW), przy czym wartość pierwszego bitu tego liniowego słowa cyfrowego (LW), zapi-

sanego w formacie znak-moduł, określającą znak przetwarzanej wielkości analogowej (Sg) wpisuje się, za pomocą modułu kompresji (CPM), na najbardziej znaczący bit n+1-bitowego skompresowanego słowa cyfrowego (CW).

#### Wykaz oznaczeń na rysunku

SA-ADC	liniowy przetwornik analogowo-cyfrowy
CPM	moduł kompresji
InADC	wejście sygnału analogowego
RegS	rejestr numeru sekcji
LW	liniowe słowo cyfrowe
CW	skompresowane słowo cyfrowe
End	sygnał zakończenia przetwarzania
BitRdy	sygnał gotowości bitu
TrgADC	wejście sygnału uruchamiającego przetwarzanie
TrgCP	wejście sygnału uruchamiającego kompresję
Sg	znak przetwarzanej wielkości analogowej

#### Rysunki

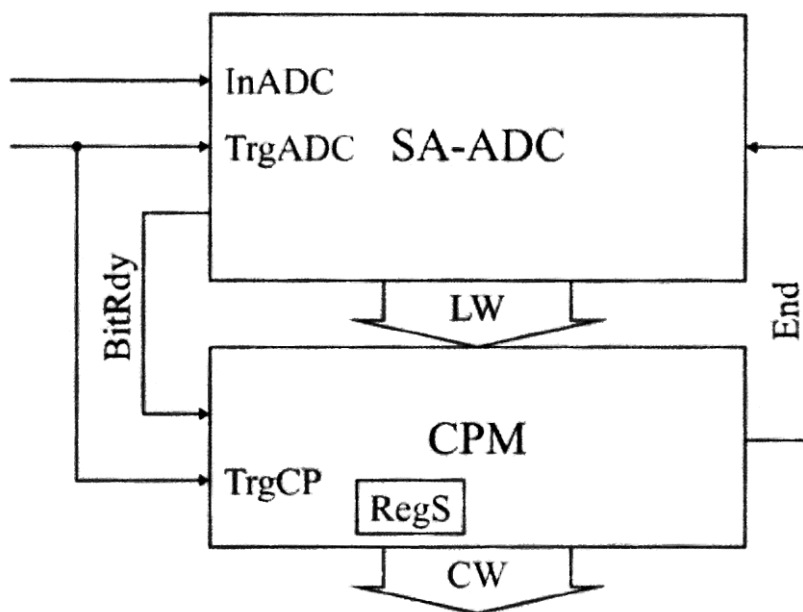


Fig. 1

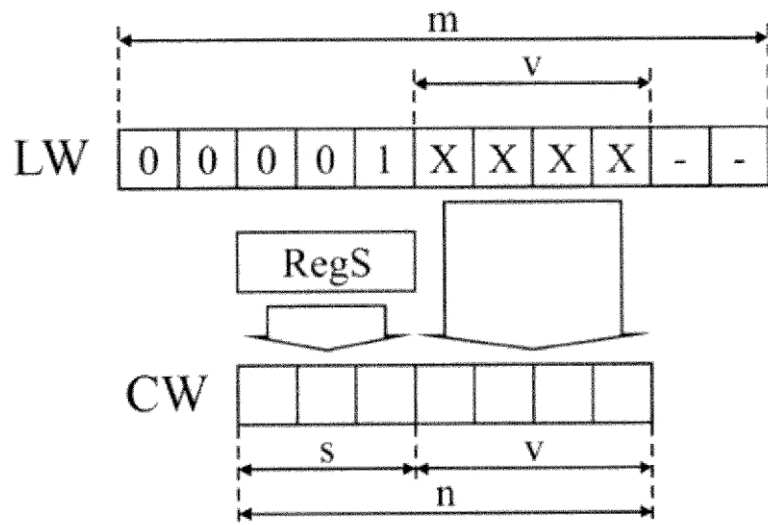


Fig. 2

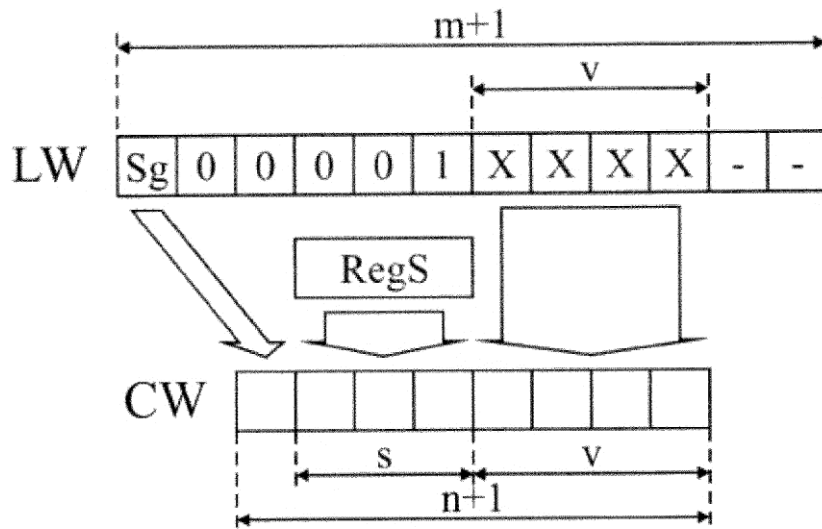


Fig. 3

