

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **225705**

(13) **B1**

(21) Numer zgłoszenia: **404532**

(51) Int.Cl.
H02P 21/13 (2006.01)
G05F 1/46 (2006.01)

(22) Data zgłoszenia: **01.07.2013**

(54) **Układ odtwarzania niemierzalnych zmiennych stanu obiektu liniowego**

(43) Zgłoszenie ogłoszono:
05.01.2015 BUP 01/15

(45) O udzieleniu patentu ogłoszono:
31.05.2017 WUP 05/17

(73) Uprawniony z patentu:
**AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(y) wynalazku:
**TOMASZ DZIWIŃSKI, Rybnik, PL
WITOLD BYRSKI, Kraków, PL**

PL 225705 B1

Opis wynalazku

Przedmiotem wynalazku jest układ odtwarzania niemierzalnych zmiennych stanu obiektu liniowego, zwłaszcza maszyn prądu stałego. Rozwiązanie należy do dziedziny automatyki, w szczególności przemysłowej. Jest to układ elektroniczny, realizujący zadanie odtwarzania niemierzalnych zmiennych stanu obiektu liniowego w trybie on-line, wykorzystując teorię obserwatorów całkowych. W układzie wykorzystany jest zaimplementowany algorytm odtwarzania niemierzalnych zmiennych stanu w zamkniętym układzie regulacji.

Wynalazek znajduje zastosowanie dla klasy obiektów obserwowalnych, w których pomiar zmiennych stanu jest niedostępny lub niekorzystny.

Znany jest między innymi, sposób odtwarzania zmiennych stanu obiektu liniowego z zastosowaniem jednostki przetwarzającej opartej wyłącznie na mikrokontrolerze lub urządzeniu mikroprocesorowym.

W znanych urządzeniach sygnał wejściowy i wyjściowy obiektu poprzez przetworniki analogowo-cyfrowe podawany jest do tego mikrokontrolera. Przetwarzanie realizowane jest wyłącznie w mikrokontrolerze zgodnie z istniejącą teorią obserwatorów stanu. Cyfrowy sygnał wyjściowy, będący reprezentacją stanu, wykorzystywany jest w układach regulacji cyfrowej.

Istotą układu jest to, że ma czujniki umieszczone na odtwarzanym obiekcie, przetworniki analogowo-cyfrowe i przetwornik cyfrowo-analogowy oraz jednostkę przetwarzającą. Jednostkę przetwarzającą stanowi układ rekonfigurowalny oraz mikrokontroler połączone ze sobą szyną danych. Czujnik sygnału wejściowego obiektu podłączony jest na wejście przetwornika analogowo-cyfrowego wejścia i dalej za pośrednictwem linii cyfrowego sygnału wejściowego obiektu z jednostką przetwarzającą. Czujnik sygnału wyjściowego obiektu podłączony jest na wejście przetwornika analogowo-cyfrowego wyjścia i dalej za pośrednictwem linii cyfrowego sygnału wyjściowego obiektu z jednostką przetwarzającą. W układzie rekonfigurowalnym każda z linii połączona jest z co najmniej dwoma, połączonymi równolegle, blokami opóźniającymi, a każdy z nich jest połączony z blokiem mnożącym. Przy czym pierwsze bloki mnożące są połączone bezpośrednio z linią sygnału wejściowego obiektu i linią sygnału wyjściowego obiektu. Wyjścia wszystkich bloków mnożących włączone są na wejścia sumatora zaś wyjście sumatora stanowi cyfrowe wyjście układu. Na tym wyjściu odtworzony jest w postaci cyfrowej zbiór zmiennych stanu obiektu liniowego.

Korzystne jest podłączenie na wyjście sumatora przetwornika cyfrowo-analogowego. Wówczas jego wyjście stanowi analogowe wyjście układu.

Podczas pracy układu czujniki umieszcza się na obiekcie, tak by w sposób ciągły odczytywały sygnały z wejścia oraz wyjścia obiektu. Sygnał wejściowy przekazywany jest poprzez przetwornik analogowo-cyfrowy, już jako cyfrowy sygnał wejściowy obiektu, do jednostki przetwarzającej. Podobnie, do jednostki przetwarzającej przekazywany jest cyfrowy sygnał wyjściowy obiektu. Sygnały te podawane są równocześnie do układu rekonfigurowalnego i do mikrokontrolera. Mikrokontroler, działając zgodnie z zaimplementowanym algorytmem identyfikuje parametry obiektu liniowego w trybie on-line oraz oblicza i podaje, za pośrednictwem szyny danych, wartości współczynników do bloków mnożących układu rekonfigurowalnego.

Cyfrowe sygnały wejściowy i wyjściowy obiektu są zapamiętywane przy użyciu bloków opóźniających i mnożone przez otrzymywane z mikrokontrolera współczynniki. Bloki opóźniające opisywane są przez operatory opóźnienia z -n o opóźnieniu wynoszącym n okresów próbkowania.

Bloki mnożące opisywane są przez kolejne wiersze operatora macierzy G_1 i kolejne wiersze operatora macierzy G_2 , spełniając tym samym równanie:

$$x = \sum G_2(h_i)u(h_i) + \sum G_1(h_i)y(h_i)$$

gdzie:

h_i to dyskretne chwile czasu dla i z przedziału $[0, n]$

Sygnały z wyjść wszystkich bloków mnożących podawane są do sumatora. Na wyjściu sumatora otrzymana jest cyfrowa reprezentacja zmiennych stanu. Ten sygnał po przetworzeniu na sygnał analogowy odtwarza na bieżąco wartości zmiennych stanu obiektu. Tak więc w układzie, według wynalazku, układ rekonfigurowalny realizuje równoległą część algorytmu, a mikrokontroler część sekwencyjną.

Dzięki zastosowaniu sposobu, według wynalazku, możliwe jest uzyskanie znaczącego przyspieszenia działania układu obserwatora. Zwiększona została również pewność i niezawodność działania obserwatora, ponieważ zawieszenie się mikrokontrolera nie powoduje nieciągłości w odtwarzaniu zmiennych stanu.

Wynalazek może być stosowany również do liniowych obiektów nieelektrycznych, w których nieelektryczne sygnały wejściowe i wyjściowe zostaną przetworzone i reprezentowane za pomocą sygnałów elektrycznych.

Układ odtwarzania niemierzalnych zmiennych stanu, według wynalazku, objaśniono w przykładzie wykonania uwidocznionym na rysunku, na którym fig. 1 jest schematem układu, a fig. 2 schematem jednostki przetwarzającej.

W przedstawionym przykładzie obiektem jest silnik prądu stałego, którego prędkość obrotowa odtwarzana jest na podstawie pomiaru napięcia zasilającego wirnik oraz pomiaru prądu uzwojenia wirnika. Czujnikiem sygnału wejściowego obiektu u jest czujnik napięcia 5, czujnikiem sygnału wyjściowego obiektu y jest czujnik prądu 7. Ponadto układ ma przetworniki analogowo-cyfrowe i przetwornik cyfrowo-analogowy oraz jednostkę przetwarzającą 1. Jednostkę przetwarzającą stanowi układ rekonfigurowalny 2, którym jest układ FPGA oraz mikrokontroler 3 połączone ze sobą szyną danych 4. Czujnik sygnału wejściowego obiektu 5 podłączony jest na wejście przetwornika analogowo-cyfrowego wejścia 6 i dalej za pośrednictwem linii cyfrowego sygnału wejściowego obiektu uc z jednostką przetwarzającą 1. Czujnik sygnału wyjściowego obiektu 7 podłączony jest na wejście przetwornika analogowo-cyfrowego wyjścia 8 i dalej za pośrednictwem linii cyfrowego sygnału wyjściowego obiektu yc z jednostką przetwarzającą 1. W układzie FPGA każda z linii uc ; yc połączona jest z piętnastoma, połączonymi równolegle, blokami opóźniającymi 10, a każdy z nich jest połączony z odpowiednim blokiem mnożącym 11, przy czym pierwsze bloki mnożące są połączone bezpośrednio z linią sygnału wejściowego obiektu i linią sygnału wyjściowego obiektu. Wyjścia wszystkich bloków mnożących włączone są na wejścia sumatora 12. Wyjście sumatora połączone jest z przetwornikiem cyfrowo-analogowym 9. Wyjście przetwornika cyfrowo-analogowego 9 jest wyjściem odtwarzającym całego układu. Z niego odbierany jest sygnał wyjściowy układu x .

W przykładzie zastosowane są czujnik napięcia typu LEM LV25-P a czujnik prądu typu LEM LA25-NP. Pozostałe elementy zostały umieszczone na wspólnej płycie drukowanej. Zastosowano 16-bitowe przetworniki analogowo-cyfrowe i cyfrowo-analogowe umożliwiające próbkowanie z częstotliwością do 1 MHz. Zastosowano mikrokontroler oparty na rdzeniu ARM Cortex-A9 i układ rekonfigurowalny FPGA Xilinx. W nim skonfigurowane zostały bloki opóźniające, mnożące i sumator według opisanego wyżej schematu.

Sygnałem wyjściowym całego układu jest sygnał analogowy. Może on być wizualizowany oraz stanowić sygnał wejściowy dla regulatorów.

Wykaz oznaczeń

1. jednostka przetwarzająca
 2. układ rekonfigurowalny
 3. mikrokontroler
 4. szyna danych
 5. czujnik sygnału wejściowego obiektu
 6. przetwornik analogowo-cyfrowy wejścia
 7. czujnik sygnału wyjściowego obiektu
 8. przetwornik analogowo-cyfrowy wyjścia
 9. przetwornik cyfrowo-analogowy
 10. blok opóźniający
 11. blok mnożący
 12. sumator
- u sygnał wejściowy obiektu
 uc cyfrowy sygnał wejściowy obiektu
 y sygnał wyjściowy obiektu
 yc cyfrowy sygnał wyjściowy obiektu
 xc cyfrowy sygnał wyjściowy układu
 x sygnał wyjściowy układu

Zastrzeżenia patentowe

1. Układ odtwarzania niemierzalnych zmiennych stanu obiektu liniowego, składający się z czujników umieszczonych na odtwarzanym obiekcie oraz jednostki przetwarzającej, **znamienny tym**, że jednostkę przetwarzającą (1) stanowi układ rekonfigurowalny (2) oraz mikrokontroler (3) połączone ze sobą szyną danych (4), przy czym czujnik sygnału wejściowego obiektu (5) podłączony jest na wejście przetwornika analogowo-cyfrowego wejścia (6) i dalej za pośrednictwem linii cyfrowego sygnału wejściowego obiektu z jednostką przetwarzającą (1), czujnik sygnału wyjściowego obiektu (7) podłączony jest na wejście przetwornika analogowo-cyfrowego wyjścia (8) i dalej za pośrednictwem linii cyfrowego sygnału wyjściowego obiektu z jednostką przetwarzającą (1), natomiast w układzie rekonfigurowalnym (2) każda z linii sygnałów (*uc*; *yc*), odpowiednio, połączona jest z co najmniej dwoma, połączonymi równolegle, blokami opóźniającymi (10), a każdy z nich jest połączony z blokiem mnożącym (11), przy czym pierwsze bloki mnożące są połączone bezpośrednio z linią sygnału wejściowego obiektu i linią sygnału wyjściowego obiektu, zaś wyjścia wszystkich bloków mnożących włączone są na wejścia sumatora (12), którego wyjście stanowi cyfrowe wyjście układu.

2. Układ odtwarzania niemierzalnych zmiennych stanu obiektu liniowego, według zastrz. 1, **znamienny tym**, że na wyjściu sumatora podłączony jest przetwornik cyfrowo-analogowy (9), a jego wyjście stanowi wyjście układu.

Rysunki

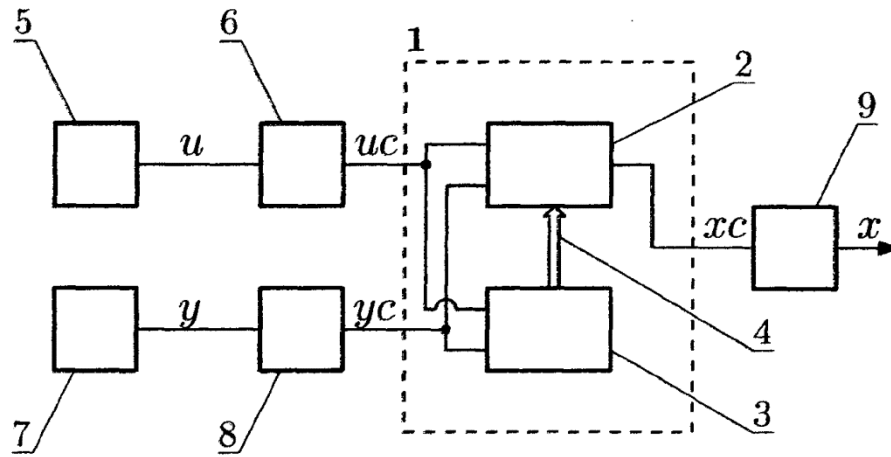


Fig. 1

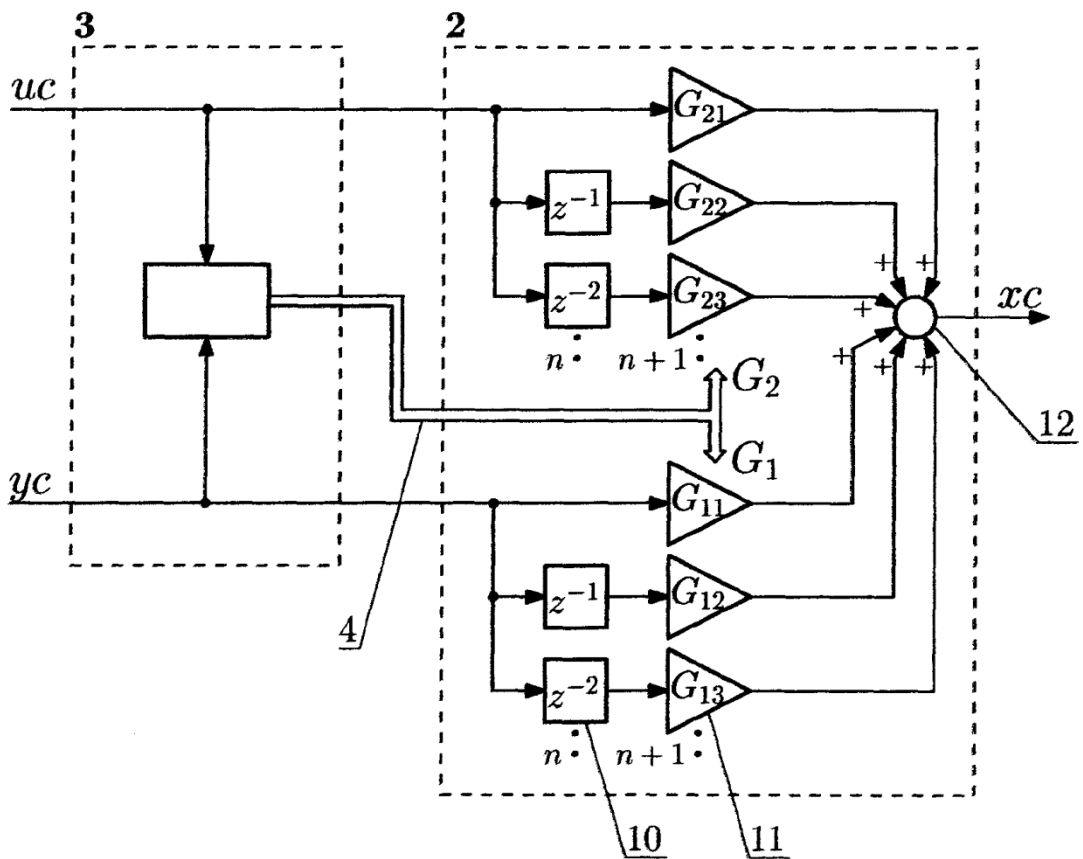


Fig. 2

