RZECZPOSPOLITA POLSKA

Urząd Patentowy Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **214440** (13) **B1**

(21) Numer zgłoszenia: **384548**

(22) Data zgłoszenia: **26.02.2008**

(51) Int.Cl.
H03M 1/12 (2006.01)
H03M 1/50 (2006.01)
H03M 3/02 (2006.01)

(54) **Sposób i układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta**

(43) Zgłoszenie ogłoszono:
31.08.2009 BUP 18/09

(45) O udzieleniu patentu ogłoszono:
30.08.2013 WUP 08/13

(73) Uprawniony z patentu:
AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE, Kraków, PL

(72) Twórca(y) wynalazku:
DARIUSZ KOŚCIELNIK, Kraków, PL
MAREK MIŚKOWICZ, Kraków, PL

(74) Pełnomocnik:
rzecz. pat. Elżbieta Postołek

PL 214440 B1

Opis wynalazku

Przedmiotem wynalazku jest sposób i układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta znajdujący zastosowanie w przetwarzaniu sygnałów zwłaszcza dolnopasmowych, gdzie wymagana jest rekonstrukcja sygnałów analogowych, jak również w systemach kontrolno-pomiarowych.

W znanym z opisu patentowego nr US 7573956(B2) sposobie kodowania i dekodowania sygnału przedstawione jest przetwarzanie sygnału analogowego na impulsowy sygnał prostokątny polegające na modulacji sygnału analogowego za pomocą asynchronicznego modulatora Sigma-Delta, a następnie rekonstrukcji sygnału analogowego w oparciu o znajomość chwil czasowych, w których występują zbocza impulsowego sygnału prostokątnego uzyskiwanego na wyjściu asynchronicznego modulatora Sigma-Delta. Chwile wystąpienia zboczy impulsowego sygnału prostokątnego rejestruje się ze skończoną dokładnością poprzez poddanie szerokości kolejnych impulsów sygnału prostokątnego kwantyzacji i zakodowaniu jej wyników za pomocą kwantyzatora w postaci licznika połączonego z zegarem wzorcowym. Po zakończeniu kwantyzacji bieżącego impulsu, słowo cyfrowe uzyskane na wyjściu licznika udostępnia się poprzez transmisję do urządzeń, w których poddawane jest dalszemu przetwarzaniu cyfrowemu.

Znany z polskiego zgłoszenia patentowego nr P-382 152 sposób przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta polega na modulacji sygnału analogowego za pomocą asynchronicznego modulatora Sigma-Delta, zliczaniu okresów zegara wzorcowego w czasie trwania następujących po sobie kolejno impulsów sygnału prostokątnego za pomocą układu zliczania, a następnie zapisywaniu i przechowywaniu w buforze pośrednim każdego uzyskanego słowa cyfrowego reprezentującego zliczoną liczbę okresów zegara wzorcowego w czasie trwania każdego danego impulsu sygnału prostokątnego i równocześnie kontrolowaniu za pomocą bloku sterowania czasu trwania transmisji szeregowej słowa cyfrowego uzyskanego w wyniku zliczania okresów zegara wzorcowego w czasie trwania wcześniejszego impulsu sygnału prostokątnego, a w momencie zakończenia jego transmisji przepisaniu zawartości bufora pośredniego stanowiącej słowo cyfrowe reprezentujące dany impuls sygnału prostokątnego do bufora nadawczego układu i poddaniu tego słowa transmisji szeregowej do komputera lub sieci telekomunikacyjnej. Zliczanie okresów zegara wzorcowego rozpoczyna się każdorazowo od zadanego stanu początkowego liczników określonego liczbą M mniejszą lub równą zero. Liczba M określająca zadany stan początkowy liczników jest korzystnie liczbą ujemną, której wartość bezwzględna jest cechą liczby wyrażonej jako stosunek czwartej części okresu impulsowego sygnału prostokątnego określonego dla sygnału analogowego o stałej wartości w czasie i równej zero do okresu zegara wzorcowego. Ponadto transmisję szeregową realizuje się przez wyjściowy port bufora nadawczego z prędkością określoną jako stosunek liczby bitów danego słowa uzyskanego za pomocą liczników powiększonej o bity sterujące do połowy okresu impulsowego sygnału prostokątnego określonego dla sygnału analogowego o stałej wartości w czasie i równej zero.

Znany z opisu patentowego nr US 7573956(B2) układ przetwarzania sygnału zawiera modulator Sigma-Delta, którego wyjście połączone jest z wejściem licznika z podłączonym zegarem wzorcowym. Wyjście licznika połączone jest z procesorem, z którym połączony jest również zegar wzorcowy.

Inny, znany z polskiego zgłoszenia patentowego nr P-382 152 układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta zawiera układ zliczania wyposażony w dwa liczniki, których wejścia programujące stan początkowy połączone są z układem zadawania, a wejścia zliczające połączone są odpowiednio poprzez sterowane klucze z wyjściem zegara wzorcowego, przy czym wejście sterujące jednego klucza jest połączone bezpośrednio, a wejście sterujące drugiego klucza jest połączone poprzez inwerter z wyjściem znanego asynchronicznego modulatora Sigma-Delta. Wyjścia liczników układu zliczania połączone są z multiplekserem, którego wyjście poprzez bufor pośredni jest połączone z buforem nadawczym, a wyjście bufora nadawczego stanowi wyjście układu. Natomiast wyjście asynchronicznego modulatora Sigma-Delta oraz wyjście zegara wzorcowego połączone są również z oddzielnymi wejściami modułu sterowania, którego wyjścia są połączone odpowiednio z wejściami sterującymi wpisywaniem stanu początkowego liczników układu zliczania oraz wejściem sterującym multipleksera, bufora pośredniego, a także wejściem sterującym bufora nadawczego.

Sposób według wynalazku, polega na tym, że sygnał analogowy moduluje się za pomocą asynchronicznego modulatora Sigma-Delta, po czym za pomocą układu zliczania zlicza się okresy zegara wzorcowego od zadanego stanu początkowego w czasie trwania następujących po sobie kolejno im-

pulsów uzyskanego uprzednio sygnału prostokątnego, a następnie zapisuje się i przechowuje w buforze pośrednim każde uzyskane słowo cyfrowe reprezentujące zliczoną liczbę okresów zegara wzorcowego w czasie trwania każdego danego impulsu sygnału prostokątnego. Równocześnie za pomocą bloku sterowania kontroluje się czas trwania transmisji szeregowej wcześniejszego słowa cyfrowego uzyskanego w wyniku zliczania okresów zegara wzorcowego w czasie trwania wcześniejszego impulsu sygnału prostokątnego. W momencie zakończenia transmisji wcześniejszego słowa cyfrowego przepisuje się zawartość bufora pośredniego stanowiącą słowo cyfrowe, które reprezentuje dany impuls sygnału prostokątnego do bufora nadawczego układu i poddaje się go transmisji szeregowej do komputera lub sieci telekomunikacyjnej z prędkością określoną jako stosunek liczby bitów danego słowa powiększonej o bity sterujące do połowy okresu impulsowego sygnału prostokątnego określonego dla sygnału analogowego o stałej wartości w czasie i równej zero.

Sposób według wynalazku, charakteryzuje się tym, że zliczanie okresów zegara wzorcowego rozpoczyna się każdorazowo od zadanego stanu początkowego licznika określonego liczbą ujemną M'. Wartość bezwzględna tej liczby jest cechą liczby będącej różnicą stosunku czwartej części okresu impulsowego sygnału prostokątnego, a określonego dla wejściowego sygnału analogowego o stałej wartości w czasie i równej zero do okresu zegara wzorcowego i liczby m określonej liczbą taktów zegara wzorcowego w czasie będącym sumą czasu zapisywania wyników każdego zliczania do bufora pośredniego i czasu przepisywania zawartości rejestru układu zadawania do licznika układu zliczania. Natomiast transmisję szeregową realizuje się przez wyjściowy port bufora nadawczego ze znaną prędkością.

Układ według wynalazku, zawierający asynchroniczny modulator Sigma-Delta oraz układ zliczania połączony z zegarem wzorcowym, którego wyjście połączone jest również z wejściem modułu sterowania, jak również zawierający bufor pośredni połączony z buforem nadawczym, które są połączone z odpowiednimi wyjściami modułu sterowania charakteryzuje się tym, że układ zliczania zawiera jeden licznik, którego wyjście połączone jest bezpośrednio ze znanym buforem pośrednim, do którego podłączony jest bufor nadawczy. Wejście zliczające licznika układu zliczania połączone jest bezpośrednio z wyjściem znanego zegara wzorcowego, a wejście programujące licznika połączone jest z układem zadawania. Natomiast wyjście znanego asynchronicznego modulatora Sigma-Delta połączone jest z drugim wejściem modułu sterowania. Wyjścia modułu sterowania połączone są odpowiednio z wejściem sterującym wpisywaniem stanu początkowego licznika układu zliczania oraz wejściami sterującymi znanego bufora pośredniego i bufora nadawczego.

Sposób i układ według wynalazku, dzięki rozpoczynaniu zliczania od ujemnej liczby początkowej, zwłaszcza dla jej optymalnej wartości, powoduje zwiększenie rozdzielczości przetwarzania sygnału analogowego na sygnał cyfrowy, a zastosowanie dodatkowego buforowania przy pomocy bufora pośredniego umożliwia nawet dwukrotne obniżenie prędkości transmisji szeregowej danych oraz jej niezależność od wartości amplitudy przetwarzanego sygnału analogowego. Ponadto odznacza się prostotą, obniżonym poborem mocy oraz podwyższoną odpornością na szumy i zakłócenia.

Rozwiązanie według wynalazku, przedstawione jest w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu, fig. 2 - przebiegi czasowe sygnałów sterujących w układzie, fig. 3a - transmisję danych z dodatkowym buforowaniem dla sygnału x(t) równego zero, fig. 3b - transmisję danych z dodatkowym buforowaniem dla dodatniego poziomu sygnału x(t), fig. 3c - transmisję danych z dodatkowym buforowaniem dla ujemnego poziomu sygnału x(t), a fig. 4 - przebieg zliczania impulsów od zadanego stanu początkowego.

Sposób według wynalazku, polega na tym, że sygnał analogowy x(t) poddaje się modulacji za pomocą asynchronicznego modulatora Sigma-Delta ASDM, po czym otrzymany impulsowy sygnał prostokątny z(t) poddaje się przetwarzaniu poprzez zliczanie okresów T_0 zegara wzorcowego RG w czasie trwania następujących po sobie kolejno impulsów sygnału prostokątnego z(t) za pomocą licznika CT układu zliczania CTM. Każde uzyskane słowo cyfrowe reprezentujące zliczoną liczbę okresów T_0 zegara wzorcowego RG w czasie trwania każdego danego impulsu sygnału prostokątnego z(t) zapisuje się i przechowuje w buforze pośrednim TBUF i równocześnie kontroluje się za pomocą bloku sterowania CM czas trwania transmisji szeregowej wcześniejszego słowa cyfrowego uzyskanego w wyniku zliczania okresów T_0 zegara wzorcowego RG w czasie trwania wcześniejszego impulsu sygnału prostokątnego z(t), w momencie zakończenia jego transmisji przepisuje się aktualną zawartość bufora pośredniego TBUF stanowiącą dane słowo cyfrowe do bufora nadawczego TDR układu. Następnie dane słowo cyfrowe reprezentujące dany impuls sygnału prostokątnego z(t) poddaje się procesowi transmisji szeregowej do komputera lub sieci telekomunikacyjnej, nie uwidocznionych na

rysunku, po czym cykl się powtarza dla kolejnego słowa cyfrowego przechowywanego w buforze pośrednim TBUF a reprezentującego kolejny impuls sygnału prostokątnego z(t).

Zliczanie okresów T_0 zegara wzorcowego RG rozpoczyna się każdorazowo, od zadanego stanu początkowego licznika CT układu zliczania CTM określonego ujemną liczbą M' (fig. 4). Wartość bezwzględna liczby M' jest cechą liczby, będącej różnicą stosunku czwartej części okresu T impulsowego sygnału prostokątnego z(t) uzyskanego dla sygnału analogowego x(t) o stałej wartości w czasie i równej zero do okresu T_0 zegara wzorcowego RG i liczby m określonej liczbą taktów zegara wzorcowego RG w czasie będącym sumą czasu zapisywania wyników każdego zliczania do bufora pośredniego TBUF i czasu wpisywania zadanego stanu początkowego z układu zadawania SR do licznika CT. Zliczanie rozpoczyna się po uprzednim zapisaniu wcześniejszego wyniku zliczania do bufora pośredniego TBUF i wpisaniu zawartości rejestru układu zadawania SR do licznika CT układu zliczania CTM. Natomiast transmisję szeregową realizuje się przez wyjściowy port TxD bufora nadawczego TDR z prędkością określoną jako stosunek liczby bitów danego słowa uzyskanego za pomocą licznika CT układu zliczania CTM powiększonej o bity sterujące: bit start i bit stop do połowy okresu T impulsowego sygnału prostokątnego z(t) określonego uprzednio w wyniku modulacji sygnału analogowego x(t) o stałej wartości w czasie i równej zero.

Układ według wynalazku, zawiera układ zliczania CTM, który zawiera jeden licznik CT. Wejście zliczające licznika CT jest połączone bezpośrednio z wyjściem znanego zegara wzorcowego RG, które jest połączone również z jednym wejściem modułu sterowania CM, a wejście programujące stan początkowy licznika CT połączone jest z układem zadawania SR. Natomiast do drugiego wejścia modułu sterowania CM podłączone jest wyjście znanego asynchronicznego modulatora Sigma-Delta ASDM. Natomiast wyjście licznika CT układu zliczania CTM połączone jest bezpośrednio z buforem pośrednim TBUF, którego wyjście połączone jest z buforem nadawczym TDR, zaś wyjście bufora nadawczego TDR stanowi wyjście układu. Wyjścia modułu sterowania CM połączone są odpowiednio z wejściami sterującymi: bufora pośredniego TBUF, bufora nadawczego TDR oraz wejściem licznika CT, sterującym wpisywanie jego stanu początkowego.

Działanie układu jest następujące. Wejściowy sygnał analogowy x(t) zostaje poddany modulacji w asynchronicznym modulatorze Sigma-Delta ASDM, a otrzymany na jego wyjściu sygnał jest impulsowym sygnałem prostokątnym z(t) o modulowanej częstotliwości i współczynniku wypełnienia. Szerokości kolejnych impulsów tego sygnału prostokątnego z(t) uzyskanego na wyjściu modulatora ASDM są zależne od amplitudy sygnału analogowego x(t) na jego wejściu. Impulsowy sygnał prostokątny z(t) poddawany jest następnie przetwarzaniu poprzez zliczanie za pomocą licznika CT okresów T_0 zegara wzorcowego RG w czasie trwania kolejno następujących po sobie impulsów sygnału prostokątnego z(t). Podczas operacji zliczania szerokość każdego kolejnego impulsu sygnału prostokątnego z(t) reprezentowana jest całkowitą liczbą okresów T_0 zegara wzorcowego RG, wyrażoną w formie binarnej słowa cyfrowego o ustalonej liczbie bitów.

Zliczanie okresów T_0 sygnału zegara wzorcowego RG rozpoczynane jest każdorazowo od żądanego zadanego stanu początkowego licznika CT a przechowywanego w rejestrze układu zadawania SR, i tak każde zbocze sygnału impulsowego z(t) z wyjścia asynchronicznego modulatora ASDM powoduje zapisanie wyniku zliczania okresów zegara wzorcowego RG dla poprzedniego impulsu sygnału z(t) do bufora pośredniego TBUF za pomocą sterującego impulsu WRBUF generowanego przez moduł sterowania CM, a końcowe zbocze tego impulsu WRBUF powoduje wypracowanie przez moduł sterowania CM kolejnego impulsu WRCT, który powoduje wpisanie do licznika CT układu zliczania CTM żądanego zadanego jego stanu początkowego stanowiącego zawartość rejestru układu zadawania SR. Po wpisaniu do licznika CT żądanego zadanego stanu początkowego, zilustrowanego na fig. 4. jako liczba ujemna M' o wartości bezwzględnej mniejszej o liczbę m od bezwzględnej wartości ujemnej liczby M, następuje zliczanie okresów T_0 zegara wzorcowego RG, które zostaje zakończone wraz z pojawieniem się następnego zbocza sygnału z(t), gdzie M - liczba ujemna, której wartość bezwzględna jest cechą liczby o wartości równej stosunkowi czwartej części okresu T impulsowego sygnału prostokątnego z(t) określonego dla sygnału analogowego x(t) o stałej wartości w czasie i równej zero do okresu T_0 zegara wzorcowego RG, a m - liczba określona liczbą taktów zegara wzorcowego RG w czasie będącym sumą czasu zapisywania wyników każdego zliczania do bufora pośredniego TBUF i czasu wpisywania zadanego stanu początkowego z układu zadawania SR do licznika CT.

Słowo cyfrowe zapisane w buforze pośrednim TBUF, reprezentujące wynik zliczania dla danego impulsu jest przechowywane do momentu, aż transmisja wcześniejszego słowa zostanie zakończona, przy czym przebieg transmisji wcześniejszego słowa nadzorowany jest przez moduł sterujący CM za

pośrednictwem zestawu sygnałów TDRCTR zawierającego sygnał taktujący przebieg transmisji, sygnał ustalający poprawną wartość bitów sterujących w buforze nadawczym TDR oraz sygnał zatrzymujący przesuwanie zawartości tego bufora TDR po zakończeniu transmisji całego słowa. Zakończenie transmisji wcześniejszego słowa powoduje w module sterowania CM wygenerowanie impulsu WRTDR, którego narastające zbocze powoduje przepisanie danego słowa z bufora pośredniego TBUF do bufora nadawczego TDR, gdzie po wyposażeniu go w bit start i bit stop następuje rozpoczęcie transmisji szeregowej kolejnych bitów danego słowa poprzez szeregowy port wyjściowy TxD bufora nadawczego TDR.

Jeśli impulsowy sygnał prostokątny z(t) na wyjściu asynchronicznego modulatora Sigma-Delta ASDM ma współczynnik wypełnienia równy 1/2, czyli wejście modulatora ASDM jest wysterowane sygnałem analogowym x(t) o stałej wartości w czasie i równej zero, proces transmisji słowa cyfrowego reprezentującego wcześniejszy impuls sygnału prostokątnego z(t) i proces przetwarzania bieżącego impulsu tego sygnału z(t) na słowo cyfrowe nie zazębiają się ze sobą w czasie (fig. 3a). Wówczas słowa cyfrowe po zapisaniu do bufora pośredniego TBUF zostają bezzwłocznie przepisane do bufora nadawczego TDR, gdzie rozpoczyna się ich transmisja szeregowa przez szeregowy port wyjściowy TxD bufora nadawczego TDR.

Jeśli impulsowy sygnał prostokątny z(t) na wyjściu asynchronicznego modulatora Sigma-Delta ASDM ma współczynnik wypełnienia różny od 1/2, co ma miejsce, gdy wejście modulatora ASDM jest wysterowane sygnałem x(t) o wartości różnej od zera, proces transmisji słowa cyfrowego reprezentującego wcześniejszy impuls sygnału prostokątnego z(t) i przetwarzanie bieżącego impulsu tego sygnału z(t) na słowo cyfrowe zazębiają się ze sobą w czasie (fig. 3b, fig. 3c); wówczas proces buforowania pośredniego realizowany za pomocą bufora pośredniego TBUF zapobiega utracie danych zawartych w słowach cyfrowych.

Zastrzeżenia patentowe

1. Sposób przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta polegający na modulacji sygnału analogowego za pomocą asynchronicznego modulatora Sigma-Delta, zliczaniu za pomocą układu zliczania okresów zegara wzorcowego od zadanego stanu początkowego w czasie trwania następujących po sobie kolejno impulsów uzyskanego uprzednio sygnału prostokątnego, a następnie zapisywaniu i przechowywaniu w buforze pośrednim każdego uzyskanego słowa cyfrowego reprezentującego zliczoną liczbę okresów zegara wzorcowego w czasie trwania danego impulsu sygnału prostokątnego i równocześnie kontrolowaniu za pomocą bloku sterowania trwania transmisji szeregowej słowa cyfrowego uzyskanego w wyniku zliczania okresów zegara wzorcowego w czasie trwania wcześniejszego impulsu sygnału prostokątnego, a w momencie zakończenia jego transmisji przepisaniu zawartości bufora pośredniego stanowiącej słowo cyfrowe reprezentujące dany impuls sygnału prostokątnego do bufora nadawczego układu i poddaniu tego słowa transmisji szeregowej do komputera lub sieci telekomunikacyjnej z prędkością określoną jako stosunek liczby bitów danego słowa powiększonej o bity sterujące do połowy okresu impulsowego sygnału prostokątnego określonego dla sygnału analogowego o stałej wartości w czasie i równej zero, **znamienny tym**, że zliczanie okresów (T_0) zegara wzorcowego (RG) rozpoczyna się każdorazowo od zadanego stanu początkowego układu zliczania (CTM) określonego liczbą ujemną (M'), której wartość bezwzględna jest cechą liczby będącej różnicą stosunku czwartej części okresu (T) impulsowego sygnału prostokątnego (z(t)) określonego dla sygnału analogowego (x(t)) o stałej wartości w czasie i równej zero do okresu (T_0) zegara wzorcowego (RG) i liczby (m) określonej liczbą taktów zegara wzorcowego (RG) w czasie będącym sumą czasu zapisywania wyników każdego zliczania do bufora pośredniego (TBUF) i czasu wpisywania zadanego stanu początkowego z układu zadawania (SR) do licznika (CT) układu zliczania (CTM), a transmisję szeregową realizuje się przez wyjściowy port (TxD) bufora nadawczego (TDR) ze znaną prędkością.

2. Układ do przetwarzania sygnałów analogowych na sygnały cyfrowe z asynchroniczną modulacją Sigma-Delta zawierający asynchroniczny modulator Sigma-Delta, oraz układ zliczania połączony z zegarem wzorcowym, którego wyjście połączone jest również z wejściem modułu sterowania, a także bufor pośredni połączony z buforem nadawczym, które są połączone z odpowiednimi wyjściami modułu sterowania, **znamienny tym**, że układ zliczania (CTM) zawiera jeden licznik (CT), którego wyjście połączone jest bezpośrednio ze znanym buforem pośrednim (TBUF) połączonym z buforem

nadawczym (TDR), którego wyjście stanowi wyjście układu, a wejście zliczające licznika (CT) połączone jest bezpośrednio z wyjściem znanego zegara wzorcowego (RG) połączonym również z wejściem znanego modułu sterowania, zaś wejście programujące połączone jest z układem zadawania (SR), natomiast wyjście znanego asynchronicznego modulatora Sigma-Delta (ASDM) połączone jest z drugim wejściem modułu sterowania (CM), którego wyjścia połączone są odpowiednio z wejściem sterującym wpisywaniem stanu początkowego licznika (CT) układu zliczania (CTM) oraz wejściami sterującymi znanego bufora pośredniego (TBUF) i bufora nadawczego (TDR).

Rysunki

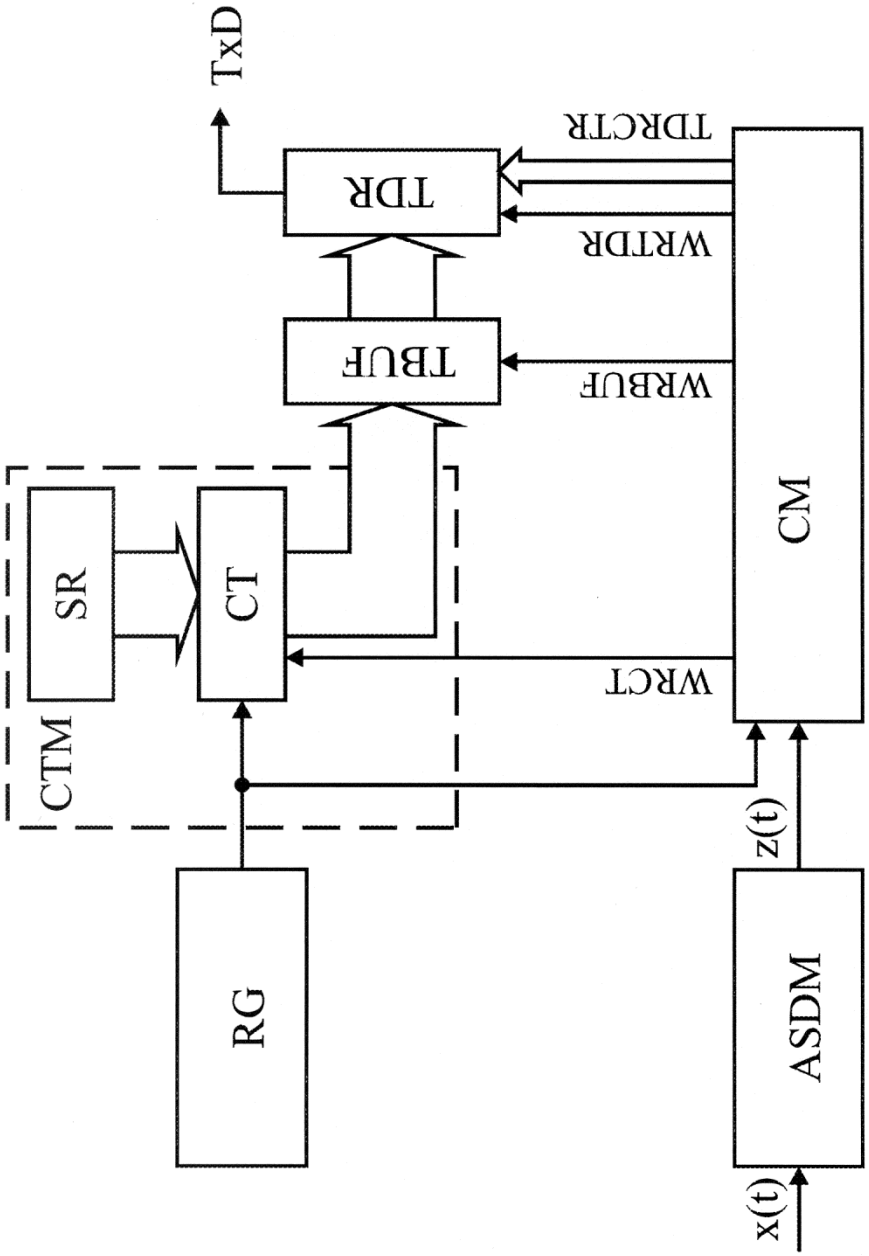

Fig. 1

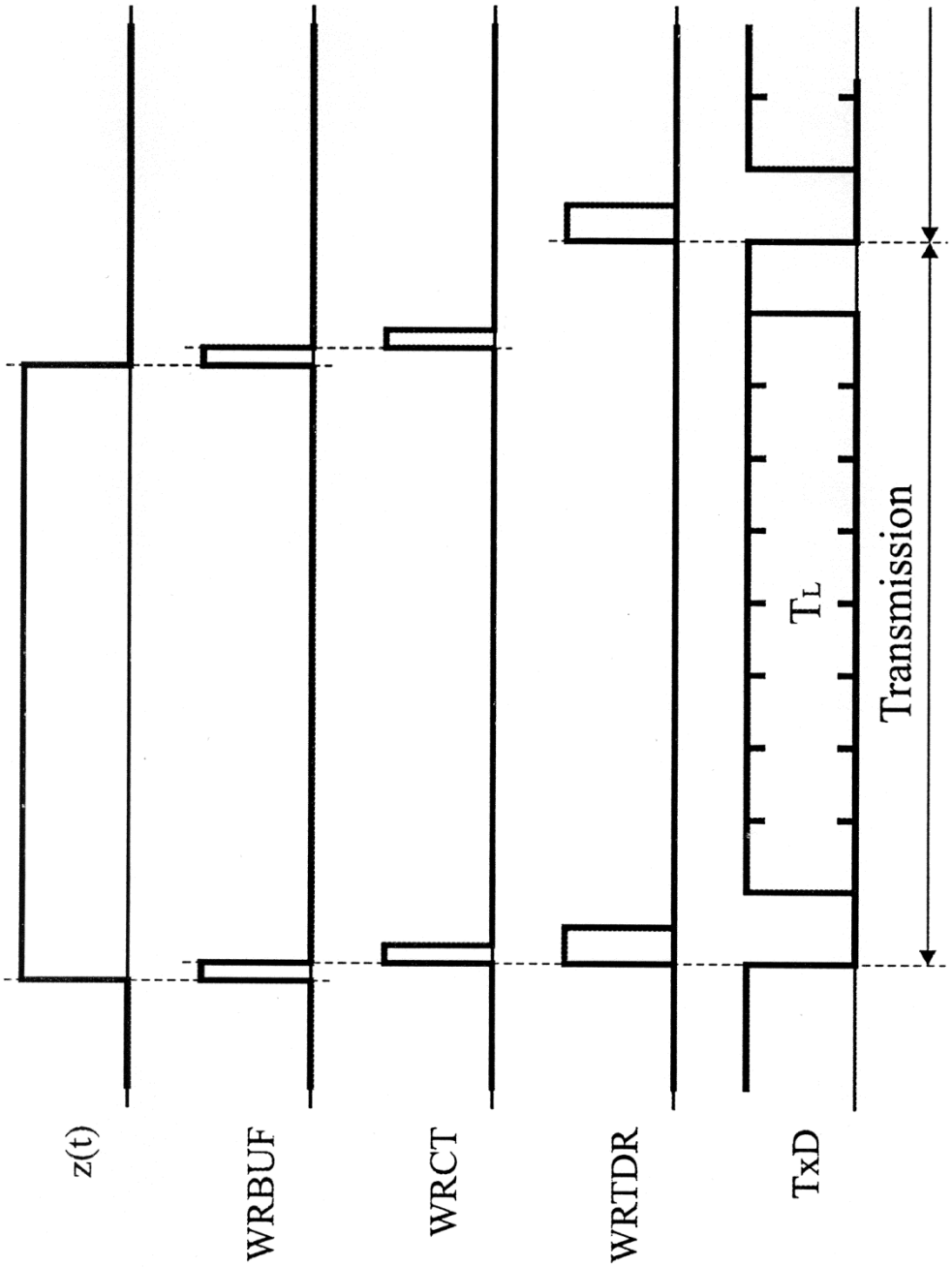

Fig. 2

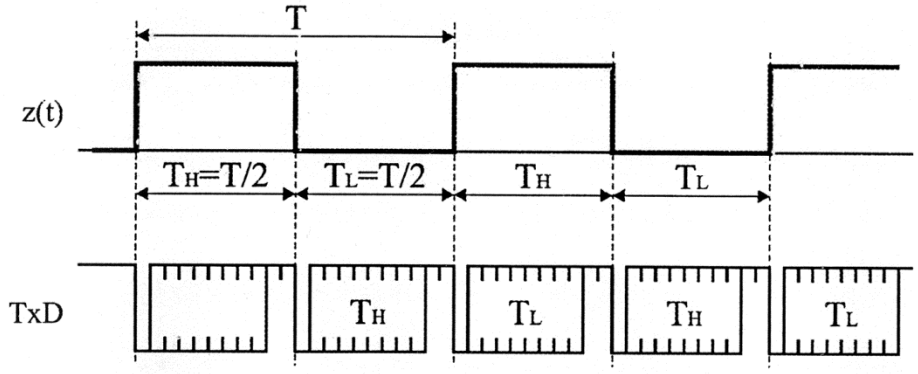

Fig. 3a

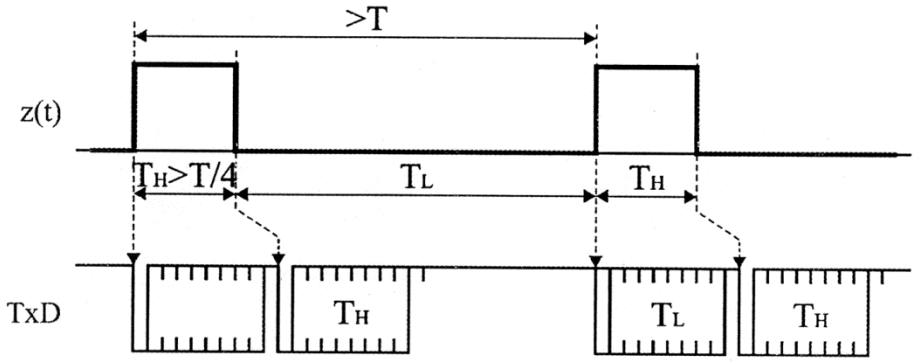

Fig. 3b

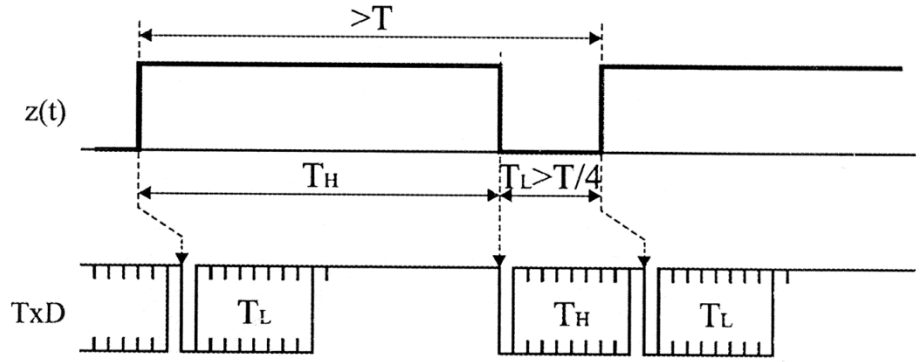

Fig. 3c

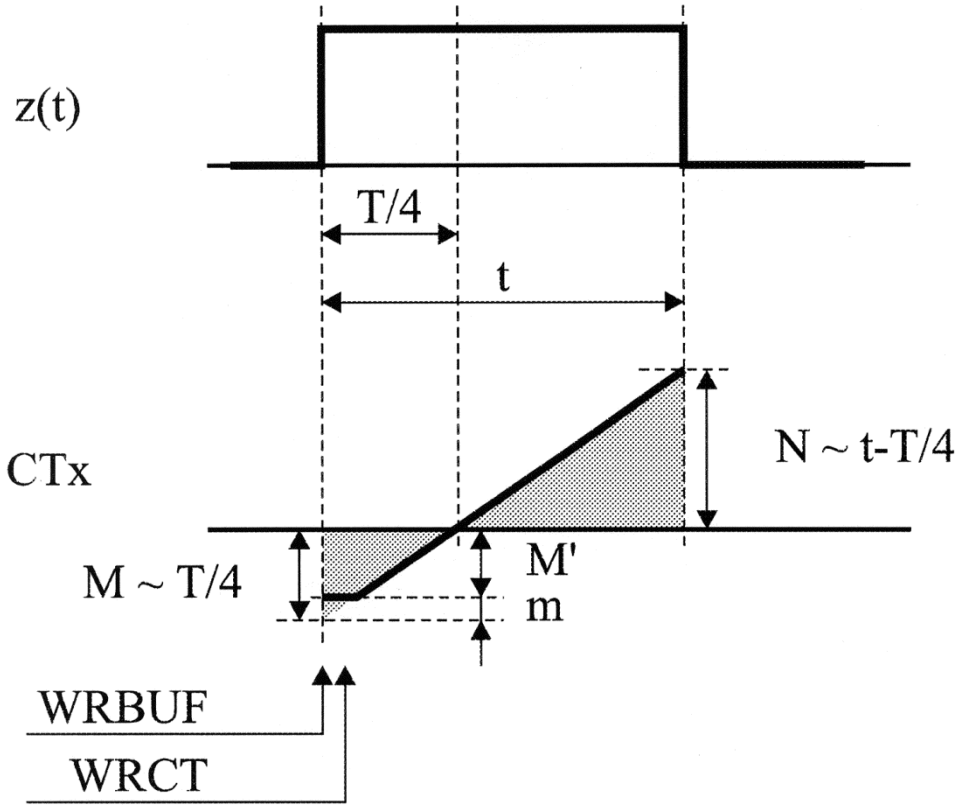

Fig. 4

Departament Wydawnictw UP RP
Cena 2,46 zł (w tym 23% VAT)