



Urząd Patentowy  
Rzeczypospolitej Polskiej

(21) Numer zgłoszenia: **340134**

(51) Int.Cl.  
**G05B 15/00 (2006.01)**  
**G06F 15/163 (2006.01)**

(22) Data zgłoszenia: **12.05.2000**

(54) **Układ węzła sieci lokalnej systemu sterowania rozproszonego**

(43) Zgłoszenie ogłoszono:  
**19.11.2001 BUP 24/01**

(45) O udzieleniu patentu ogłoszono:  
**28.09.2007 WUP 09/07**

(73) Uprawniony z patentu:

**Akademia Górniczo-Hutnicza  
im. St. Staszica, Kraków, PL**

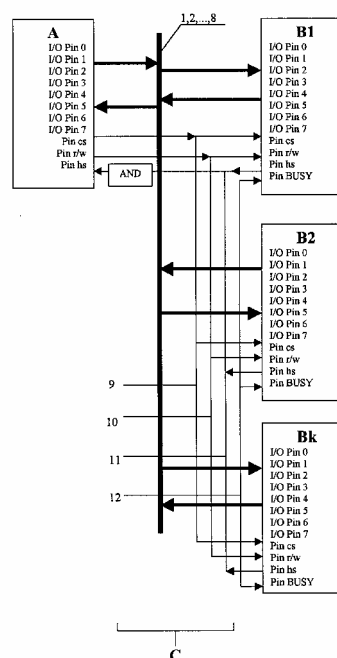
(72) Twórca(y) wynalazku:

**Wiesław Wajs, Kraków, PL**

(74) Pełnomocnik:

**Biernat Janina, Akademia Górniczo-Hutnicza,  
Dział Wdrożeń, Licencji, Patentów i Eksportu**

(57) Układ węzła sieci lokalnej w systemie sterowania rozproszonego, zawierający mikroprocesor połączony poprzez adapter z medium komunikacyjnym sieci lokalnej oraz aparaty kontrolno-pomiarowe, nastawniki i człony wykonawcze sterowanego urządzenia, **znamienny tym**, że z wykorzystywanych co najwyżej ośmiu pinów (pin 0 - pin 7) portu danych (I/O) 8-bitowego mikroprocesora (A) węzła (8-n) piny są zadeklarowane jako wejścia danych, które poprzez linie danych (1-8) wspólnej magistrali (C) są połączone z odpowiednio zadeklarowanymi pinami (pin 0 - pin 7) portów danych (I/O) dodatkowych 8-bitowych mikroprocesorów (B1, B2, ..., Bk), do których podłączone są znane aparaty kontrolno-pomiarowe, albo nastawniki albo człony wykonawcze poszczególnych sterowanych urządzeń bądź ich kombinacja, a n piny portu danych (I/O) tego 8-bitowego mikroprocesora (A) są zadeklarowane jako wyjścia danych i poprzez kolejne linie danych (1-8) wspólnej magistrali (C) są połączone z odpowiednio zadeklarowanymi pinami (pin 0 - pin 7) portów danych (I/O) dodatkowych 8-bitowych mikroprocesorów (B1, B2, ..., Bk), gdzie  $n = [0, 1, 2, \dots, 7]$ , ponadto piny sterujące (cs, r/w) 8-bitowego mikroprocesora (A) połączone są bezpośrednio, zaś jego pin sterujący (hs) poprzez bramkę iloczynu logicznego (AND) z kolejnymi liniami wspólnej magistrali (C): linią cs (9) wyboru, linią r/w (10) zapis/odczyt i linią hs (11) przesłania z potwierdzeniem,.....



## Opis wynalazku

Przedmiotem wynalazku jest układ węzła sieci lokalnej systemu sterowania rozproszonego, znajdujący zastosowanie w automatycznej cyfrowej kontroli obiektu i automatycznym sterowaniu procesami o dużej ilości kontrolowanych wielkości fizycznych, zwłaszcza do kontroli budynków użyteczności publicznej z systemami alarmowymi.

Znane są sieci lokalne o porównywalnych zasobach, w których stosowane są jako węzeł sieci, wysoko specjalistyczne mikroprocesorowe sterowniki lokalne wyposażone w odpowiednio rozbudowane oprogramowanie. Każdy z tych sterowników połączony jest z medium komunikacyjnym sieci w postaci pary przewodów, albo linii energetycznej, albo światłowodów albo fal radiowych poprzez indywidualny adapter *lang. transceiver/*, a odpowiedni protokół komunikacji umożliwia ich równoprawną pracę w sieci. Każdy z mikroprocesorów systemu sterowania rozproszonego posiada pamięć programu typu FLASH, wewnętrzna pamięć trwała EEPROM oraz dynamiczną pamięć danych RAM z oprogramowaniem umożliwiającym dostęp do zasobów sprzętowych portu wejścia/wyjścia o ograniczonej ilości linii danych do 8 linii wejściowych lub 8 linii wyjściowych jednokierunkowych, do których podłączone są bezpośrednio czujniki, nastawniki, wyświetlacze lub inne aparaty kontrolno-pomiarowe, a także człony wykonawcze sterowanych urządzeń. Ilość węzłów sieci lokalnej o takiej równoprawnej organizacji zależna jest od ilości informacji koniecznej do zebrania w danym obiekcie jak i wielkości przestrzeni zajmowanej przez kontrolowany obiekt.

Niedogodnością znanego rozwiązania jest ograniczenie ilości aparatury kontrolno-pomiarowej możliwej do obsługi przez mikroprocesor danego węzła sieci lokalnej, co przy konieczności kontrolowania obiektu o większej ilości zmiennych wielkości fizycznych lub o większej kubaturze wymaga zwiększenia ilości węzłów i rozbudowania systemu kontrolno-pomiarowego oraz wyspecjalizowanego oprogramowania systemu, powodując zwiększenie kosztów eksploatacji.

Układ, według wynalazku, zawierający mikroprocesor połączony poprzez adapter z medium komunikacyjnym oraz aparaty kontrolno-pomiarowe, nastawniki i człony wykonawcze sterowanego urządzenia charakteryzuje się tym, że z wykorzystywanych co najwyżej ośmiu pinów portu danych I/O 8-bitowego mikroprocesora węzła (8-n) piny są zadeklarowane jako wejścia danych, które poprzez linie danych wspólnej magistrali są połączone z odpowiednio zadeklarowanymi pinami portów danych I/O dodatkowych 8-bitowych mikroprocesorów, do których podłączone są znane aparaty kontrolno-pomiarowe, albo nastawniki albo człony wykonawcze poszczególnych sterowanych urządzeń, bądź ich kombinacja, a n piny portu danych I/O tego 8-bitowego mikroprocesora węzła są zadeklarowane jako wyjścia, które poprzez kolejne linie danych wspólnej magistrali są połączone z odpowiednio zadeklarowanymi pinami portów danych I/O dodatkowych 8-bitowych mikroprocesorów, gdzie  $n = [0, 1, 2, \dots, 7]$ , a dwa piny sterujące cs i r/w 8-bitowego mikroprocesora węzła bezpośrednio, zaś kolejny pin sterujący hs poprzez bramkę iloczynu logicznego AND są połączone z kolejnymi liniami sterującymi wspólnej magistrali: linią wyboru cs, linią zapis/odczyt r/w i linią przesyłania z potwierdzeniem hs, do których podłączone są odpowiednie piny sterujące dodatkowych 8-bitowych mikroprocesorów, ponadto dodatkowe 8-bitowe mikroprocesory są połączone ze sobą linią zajętości BUSY wspólnej magistrali, przy czym 8-bitowy mikroprocesor węzła wyposażony jest w podprogram obsługi portu danych I/O ośmiu linii danych i linii sterujących wspólnej magistrali: linii wyboru cs, linii zapisu/odczytu r/w i linii przesyłania z potwierdzeniem hs, dodatkowy podprogram komunikacji z medium komunikacyjnym sieci LAN lokalnej systemu sterowania rozproszonego oraz znany podprogram komunikacji z medium komunikacyjnym znanej sieci LON systemu sterowania rozproszonego, a każdy dodatkowy 8-bitowy mikroprocesor wyposażony jest w podprogram obsługi dołączonego do niego kontrolowanego urządzenia oraz podprogram obsługi portu danych I/O ośmiu linii danych i linii sterujących wspólnej magistrali: linii wyboru cs, linii zapisu/odczytu r/w, linii przesyłania z potwierdzeniem hs i linii zajętości BUSY.

Układ, według wynalazku, umożliwia obsługę znacznie większej ilości aparatury kontrolno-pomiarowej przez jeden mikroprocesor węzła sieci lokalnej, co w konsekwencji prowadzi do optymalizacji ilości węzłów sieci w kontrolowanym obiekcie. Ponadto, poprzez zastosowanie odpowiednich sterowników (programów) rozpoznających typ urządzenia i jego wytwórcę, a także możliwość przesyłania wiadomości tekstowych, umożliwia kontrolę sprawności urządzeń pomiarowych i szybką lokalizację miejsca awarii poprzez identyfikację adresów obsługiwanych przez węzeł urządzeń i ułatwia akcję usuwania zaistniałych awarii, a tym samym wpływa na zwiększenie bezpieczeństwa w kontrolowanych obiektach.

Rozwiązanie według wynalazku, jest uwidocznione w przykładzie wykonania na rysunku, który przedstawia schemat blokowy układu. Układ, według wynalazku, zawiera 8-bitowy mikroprocesor węzła A typu Neuron Chip firmy Motorola, który jest połączony z jednej strony poprzez niewidoczny na rysunku, adapter (*ang.* transceiver) ze znanym medium komunikacyjnym sieci LON /*ang.* Local Operating Network/ i wyposażony jest w port I/O wejścia/wyjścia danych o 8-miu pinach pin 0 - pin 7, z których 4 piny pin 4 - pin 7 portu danych I/O 8-bitowego mikroprocesora A węzła są zadeklarowane jako wejścia danych, które poprzez linie danych 1-8 wspólnej magistrali C są połączone z pinami pin 4 - pin 7 zadeklarowanymi jako wyjście danych portów danych I/O dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk typu ATmel 89c2051, a pozostałe 4 piny pin 0 - pin 3 portu danych I/O tego mikroprocesora A są zadeklarowane jako jego wyjścia danych i poprzez kolejne linie danych 1-8 wspólnej magistrali C są połączone z odpowiednio zadeklarowanymi pinami pin 0 - pin 3 portów danych I/O dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk, gdzie  $n = [0, 1, 2, \dots, 7]$ .

Do każdego z dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk podłączone są znane aparaty kontrolno-pomiarowe, albo nastawniki albo człony wykonawcze poszczególnych sterowanych urządzeń, nie uwidoczniowanych na rysunku, bądź ich kombinacja, niezależnie od ich geometrycznej lokalizacji w kontrolowanym obiekcie. Kolejne piny 8-bitowego mikroprocesora A, a mianowicie pin sterujący cs i pin r/w połączone są bezpośrednio, a pin sterujący hs poprzez bramkę iloczynu logicznego AND z kolejnymi liniami wspólnej magistrali C: linią 9 wyboru (*ang.* chip select), linią 10 zapisu/odczytu (*ang.* read/write) i linią 11 przesyłania z potwierdzeniem (*ang.* handshake), do których podłączone są piny sterujące cs, r/w, hs dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk. a ponadto dodatkowe 8-bitowe mikroprocesory B1, B2,... Bk są połączone ze sobą następną linią 12 zajętości BUSY wspólnej magistrali C, przy czym 8-bitowy mikroprocesor A wyposażony jest w podprogram obsługi portu danych I/O, linii danych 1-8 i linii sterujących 9, 10, 11 wspólnej magistrali C, dodatkowy podprogram komunikacji z medium komunikacyjnym sieci lokalnej LAN systemu sterowania rozproszonego oraz znany podprogram komunikacji z medium komunikacyjnym znanej sieci LON systemu sterowania rozproszonego, a każdy dodatkowy 8-bitowy mikroprocesor B1, B2,..., Bk, wyposażony jest w podprogram obsługi dołączonego do niego kontrolowanego urządzenia, nie uwidocznionego na rysunku oraz podprogram obsługi portu danych I/O linii danych 1-8 i linii sterujących wspólnej magistrali C: linii 9 wyboru, linii 10 zapisu/odczytu, linii 11 przesyłania z potwierdzeniem i linii 12 zajętości BUSY.

Działanie układu jest następujące. Transmisja rozpoczyna się w momencie wystawienia przez 8-bitowy mikroprocesor A linii 10 zapis/odczyt magistrali C w stan niski, co powoduje zgłoszenie przerwania zewnętrznego na wejściach INT1 dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk przez podłączone znane aparaty kontrolno-pomiarowe, albo nastawniki albo człony wykonawcze sterowanych urządzeń. Przerwanie zgłaszane jest zbroczem opadającym sygnału zewnętrznego z aparatu kontrolno-pomiarowego, przez co eliminowana jest możliwość kolejnego wejścia do programu obsługi przerwania w czasie trwania rozpoczętego cyklu transmisji. Najwyższy priorytet tego zgłoszenia przerwania powoduje jednoczesne zgłoszenie gotowości wszystkich 8-bitowych mikroprocesorów B1, B2,..., Bk do podjęcia komunikacji i jej rozpoczęcia.

Po wejściu do programu obsługi przerwania dodatkowe 8-bitowe mikroprocesory B1, B2,..., Bk wysyłają na linię 11 przesyłania z potwierdzeniem (hs) stan niski, potwierdzając gotowość do przyjęcia danych. Mikroprocesor A węzła sieci wystawia wówczas na piny wyjścia pin 0 - pin 3 swojego portu danych I/O półbajt danych strojąc go stanem niskim na pinie cs i przesyła poprzez magistralę C do dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk, które odczytują przesłany sygnał i przed wystawieniem potwierdzenia odczytu synchronizują się pomiędzy sobą przy pomocy linii 12 zajętości (BUSY), przy stanie wysokim na linii 11 (hs). W tym momencie każdy z dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk, sprawdza czy pierwszy przesłany bajt - bajt adresowy - zgadza się z jego wewnętrznym adresem, jednoznacznie identyfikującym go spośród urządzeń podłączonych do magistrali C. W przypadku stwierdzenia zgodności adresów przez jeden z dodatkowych 8-bitowych mikroprocesorów B1, B2,..., Bk, na przykład mikroprocesor B2, potwierdza on odczyt danych przez zmianę stanu linii 11 przesyłania z potwierdzeniem ze stanu wysokiego na stan niski, pozostałe zaś opuszczają program obsługi przerwania. Mikroprocesor A po otrzymaniu potwierdzenia odczytu podnosi stan linii 9 wyboru (cs) w stan wysoki. Następnie, w analogiczny sposób odbywa się odczytanie drugiego wyższego półbajtu przez ten dodatkowy 8-bitowy mikroprocesor B2. Po odebraniu całego pakietu danych przez dodatkowy 8-bitowy mikroprocesor B2, w którym stwierdzona została zgodność adresu wysłanego przez 8-bitowy mikroprocesor A z adresem wewnętrznym dodatkowego 8-bitowego mikroproce-

sora B2, mikroprocesor B2 oczekuje na stan wysoki sygnału w linii 10 zapis odczyt (r/w), co oznacza przejście w tryb zapisu do 8-bitowego mikroprocesora A węzła sieci. Mikroprocesor A ustawia linię 9 wyboru (cs) w stan niski zgłaszając gotowość przyjęcia danych, wówczas dodatkowy mikroprocesor B2 wystawia na wyjścia danych pin 4 - pin 7 swojego portu I/O półbajt danych i potwierdza dokonanie tej operacji stanem niskim sygnału wysłanego na linię 11 (hs). Mikroprocesor A po odczytaniu danych wysyła sygnał potwierdzający wykonanie tej operacji dokonując zmiany stanu linii 9 (cs) ze stanu niskiego na wysoki. W analogiczny sposób odbywa się odczytanie przez mikroprocesor A węzła wyższego półbajtu danych, a następnie pozostałych bajtów z transmitowanego przez dodatkowy mikroprocesor B2 pakietu danych. W tym momencie kończy się jeden pełny cykl komunikacji.

### Zastrzeżenie patentowe

Układ węzła sieci lokalnej w systemie sterowania rozproszonego, zawierający mikroprocesor połączony poprzez adapter z medium komunikacyjnym sieci lokalnej oraz aparaty kontrolno-pomiarowe, nastawniki i człony wykonawcze sterowanego urządzenia, **znamienny tym**, że z wykorzystywanych co najwyżej ośmiu pinów (pin 0 - pin 7) portu danych (I/O) 8-bitowego mikroprocesora (A) węzła (8-n) piny są zadeklarowane jako wejścia danych, które poprzez linie danych (1-8) wspólnej magistrali (C) są połączone z odpowiednio zadeklarowanymi pinami (pin 0 - pin 7) portów danych (I/O) dodatkowych 8-bitowych mikroprocesorów (B1, B2, ..., Bk), do których podłączone są znane aparaty kontrolno-pomiarowe, albo nastawniki albo człony wykonawcze poszczególnych sterowanych urządzeń bądź ich kombinacja, a n piny portu danych (I/O) tego 8-bitowego mikroprocesora (A) są zadeklarowane jako wyjścia danych i poprzez kolejne linie danych (1-8) wspólnej magistrali (C) są połączone z odpowiednio zadeklarowanymi pinami (pin 0 - pin 7) portów danych (I/O) dodatkowych 8-bitowych mikroprocesorów (B1, B2, ..., Bk), gdzie  $n = [0, 1, 2, \dots, 7]$ , ponadto piny sterujące (cs, r/w) 8-bitowego mikroprocesora (A) połączone są bezpośrednio, zaś jego pin sterujący (hs) poprzez bramkę iloczynu logicznego (AND) z kolejnymi liniami wspólnej magistrali (C): linią cs (9) wyboru, linią r/w (10) zapis/odczyt i linią hs (11) przesyłania z potwierdzeniem, do których podłączone są piny sterujące (cs, r/w, hs) dodatkowych 8-bitowych mikroprocesorów (B1, B2, ..., Bk), a dodatkowe 8-bitowe mikroprocesory (B1, B2, ..., Bk) są połączone ze sobą linią (12) zajętości wspólnej magistrali (C), przy czym 8-bitowy mikroprocesor (A) wyposażony jest w podprogram obsługi portu danych (I/O), linii danych (1-8) i linii sterujących (9, 10, 11) wspólnej magistrali (C), dodatkowy podprogram komunikacji z medium komunikacyjnym sieci LAN lokalnej systemu sterowania rozproszonego oraz znany podprogram komunikacji z medium komunikacyjnym znanej sieci LON systemu sterowania rozproszonego, a każdy dodatkowy 8-bitowy mikroprocesor (B1, B2, ..., Bk) wyposażony jest w podprogram obsługi dołączonego do niego kontrolowanego urządzenia oraz podprogram obsługi portu danych (I/O) linii danych (1-8) i linii sterujących wspólnej magistrali (C): linii (9) wyboru, linii (10) zapisu/odczytu, linii (11) przesyłania z potwierdzeniem i linii (12) zajętości.

Rysunek

