



Urząd Patentowy
Rzeczypospolitej Polskiej

⑳ Numer zgłoszenia: 313122

⑤① IntCl⁷:
H02M 1/08

㉑ Data zgłoszenia: 05.03.1996

⑤④

Sposób i układ sterowania tranzystora mocy MOS

④③ Zgłoszenie ogłoszono:
15.09.1997 BUP 19/97

④⑤ O udzieleniu patentu ogłoszono:
31.08.2000 WUP 08/00

⑦③ Uprawniony z patentu:
Akademia Górniczo-Hutnicza
im. Stanisława Staszica, Kraków, PL

⑦② Twórcy wynalazku:
Aleksander Dziadecki, Kraków, PL
Janusz Grzegorski, Kraków, PL
Józef Skotniczny, Kraków, PL

⑦④ Pełnomocnik:
Kopta Barbara, Akademia Górniczo-Hutni-
cza im. Stanisława Staszica

⑤⑦ 1. Sposób sterowania tranzystora mocy MOS polegający na podaniu na jego bramkę sygnału napięcia sterującego i równoczesnym odmierzeniu ustalonego okresu czasu za pomocą członu czasowego członu sterowania oraz kontrolowaniu wartości napięcia dren-źródło po upływie określonego czasu za pomocą członu kontroli napięcia członu sterowania i blokowaniu sygnału napięcia sterującego, gdy wartość napięcia dren-źródło jest większa od ustalonego progu, **znamienny tym**, że wartość ustalonego okresu czasu odmierzanego przez człon czasowy członu sterowania (A) dobiera się dla danego typu tranzystora mocy MOS (T) tak, że jest ona równa lub minimalnie większa od czasu upływającego od momentu podania na bramkę tego tranzystora (T) sygnału napięcia sterującego (U_{ST}) do momentu wystąpienia gwałtownego spadku napięcia dren-źródło (U_{DS}) wyznaczonego uprzednio dla znamionowego obciążenia tego tranzystora (T), a następnie podczas każdorazowego załączania tego tranzystora (T) kontroluje się wartość pochodnej napięcia dren-źródło dU_{DS}/dt za pomocą układu różniczkującego RC, a za pomocą uzyskanego sygnału odpowiadającego jej ujemnej wartości opóźnia się znaną kontrolę napięcia dren-źródło (U_{DS}) o czas równy czasowi trwania tej ujemnej pochodnej dU_{DS}/dt , po czym sterowanie tranzystora mocy MOS (T) realizuje się w znany sposób.

Sposób i układ sterowania tranzystora mocy MOS

Zastrzeżenia patentowe

1. Sposób sterowania tranzystora mocy MOS polegający na podaniu na jego bramkę sygnału napięcia sterującego i równoczesnym odmierzeniu ustalonego okresu czasu za pomocą członu czasowego członu sterowania oraz kontrolowaniu wartości napięcia dren-źródło po upływie określonego czasu za pomocą członu kontroli napięcia członu sterowania i blokowaniu sygnału napięcia sterującego, gdy wartość napięcia dren-źródło jest większa od ustalonego progu, **znamienny tym**, że wartość ustalonego okresu czasu odmierzanego przez człon czasowy członu sterowania (**A**) dobiera się dla danego typu tranzystora mocy MOS (**T**) tak, że jest ona równa lub minimalnie większa od czasu upływającego od momentu podania na bramkę tego tranzystora (**T**) sygnału napięcia sterującego (U_{ST}) do momentu wystąpienia gwałtownego spadku napięcia dren-źródło (U_{DS}) wyznaczonego uprzednio dla znamionowego obciążenia tego tranzystora (**T**), a następnie podczas każdorazowego załączania tego tranzystora (**T**) kontroluje się wartość pochodnej napięcia dren-źródło dU_{DS}/dt za pomocą układu różniczkującego RC, a za pomocą uzyskanego sygnału odpowiadającego jej ujemnej wartości opóźnia się znaną kontrolę napięcia dren-źródło (U_{DS}) o czas równy czasowi trwania tej ujemnej pochodnej dU_{DS}/dt , po czym sterowanie tranzystora mocy MOS (**T**) realizuje się w znany sposób.

2. Układ sterowania tranzystora mocy MOS zawierający człon sterowania połączony ze źródłem napięcia zasilającego, źródłem sygnału napięcia sterującego oraz ze źródłem i bramką sterowanego tranzystora mocy MOS, zaś poprzez diodę z jego drenem, a wyposażony w człon czasowy i człon kontroli napięcia dren-źródło sterowanego tranzystora mocy MOS, **znamienny tym**, że dren (**D**) sterowanego tranzystora mocy MOS (**T**) jest połączony poprzez kondensator (**C**) i rezystor (**R**) z dodatkowym wejściem znanego członu czasowego członu sterowania (**A**).

* * *

Przedmiotem wynalazku jest sposób i układ sterowania tranzystora mocy MOS znajdujący zastosowanie w tranzystorowych falownikach napięcia oraz przetwornicach napięcia.

Znany sposób sterowania tranzystora mocy MOS polega na tym, że za pomocą układu sterowania podaje się na jego bramkę napięcie sterujące odpowiednio dodatnie względem jego źródła dla tranzystorów z kanałem typu n i ujemne dla tranzystorów z kanałem typu p. Równocześnie za pomocą członu czasowego układu sterowania odmierza się czas o ustalonej wartości, wynikającej z przebiegu czasowego napięcia dren-źródło danego tranzystora, a równej czasowi upływającemu od momentu podania napięcia sterującego do momentu wystąpienia ustalonej wartości napięcia dren-źródło po jego załączeniu, po upływie którego, za pomocą układu kontroli napięcia układu sterowania kontroluje się wartość napięcia między drenem i źródłem sterowanego tranzystora mocy MOS. W przypadku, gdy wartość kontrolowanego napięcia jest wyższa od wartości założonego progu blokuje się za pomocą elementu logicznego układu sterowania napięcie sterujące pracą tranzystora mocy MOS, powodując jego wyłączenie.

Znany z literatury technicznej (katalog firmowy „Power MOS Devices” - Data Book 1 EDITION SGS THOMPSON Microelectronics 1988 r. str. 134) układ sterowania tranzystora mocy MOS zawiera cztery bramki logiczne NAND. Jedno wejście pierwszej bramki jest połączone równocześnie poprzez rezystor i diodę z drenem sterowanego tranzystora mocy MOS, przy czym punkt wspólny rezystora i diody jest połączony poprzez drugi rezystor ze źródłem napięcia zasilającego oraz poprzez trzeci rezystor z masą układu, z którą połączone jest źródło sterowanego tranzystora mocy MOS oraz poprzez kondensator drugie wejście pierwszej bramki logicznej. Wejście to poprzez szeregowo-równoległą gałąź utworzoną z czwartego rezystora i diody zbocznikowanych piątym rezystorem jest połączone również z wejściem transoptora zasil-

lanego ze źródła napięcia stałego. Wejście transoptora poprzez kolejny rezystor jest połączone z wejściem całego układu. Wyjście transoptora jest połączone z jednym wejściem drugiej bramki logicznej, której drugie wejście jest połączone z wyjściem pierwszej bramki logicznej, zaś wyjście drugiej bramki logicznej poprzez równolegle połączone kolejne dwie bramki logiczne jest przyłączone do bramki sterowanego tranzystora mocy MOS. Ponadto układ zawiera drugi pomocniczy tranzystor MOS, którego dren jest połączony z bramką sterowania tranzystora mocy MOS, a źródło jest połączone ze źródłem sterowanego tranzystora mocy MOS, natomiast bramka pomocniczego tranzystora MOS jest połączona z wyjściem drugiej bramki logicznej.

Niedogodnością znanego sposobu jest to, że nie zabezpiecza tranzystora mocy MOS przed uszkodzeniem w przypadku wystąpienia zwarcia w jego obwodzie obciążenia w trakcie trwania procesu łączeniowego, kiedy to prąd tranzystora szybko narasta ze stałą czasową obwodu zwarcia przy równocześnie występującej wysokiej wartości napięcia dren-źródło równej wartości napięcia zasilania obwodu obciążenia.

Sposób sterowania tranzystora mocy MOS, według wynalazku, polegający na podaniu na jego bramkę sygnału sterującego i równoczesnym odmierzeniu ustalonego okresu czasu za pomocą członu czasowego członu sterowania oraz kontrolowaniu wartości napięcia dren-źródło po upływie określonego czasu za pomocą członu kontroli napięcia członu sterowania i blokowaniu sygnału napięcia sterującego, gdy wartość napięcia dren-źródło jest większa od ustalonego progu, charakteryzuje się tym, że wartość ustalonego okresu czasu odmierzanego przez człon czasowy członu sterowania dobiera się dla danego typu tranzystora mocy MOS tak, że jest ona równa lub minimalnie większa od czasu upływającego od momentu podania na bramkę tego tranzystora sygnału napięcia sterującego do momentu wystąpienia gwałtownego spadku napięcia dren-źródło wyznaczonego uprzednio dla znamionowego obciążenia tego tranzystora, a następnie, podczas każdorazowego załączania tego tranzystora kontroluje się wartość pochodnej napięcia dren-źródło dU_{DS}/dt za pomocą układu różniczkującego RC, a za pomocą uzyskanego sygnału odpowiadającego jej ujemnej wartości opóźnia się znaną kontrolę napięcia dren-źródło o czas równy czasowi trwania tej ujemnej pochodnej, po czym sterowanie tranzystora mocy MOS realizuje się w znany sposób.

Układ, według wynalazku, zawierający człon sterowania, który jest połączony ze źródłem napięcia zasilającego, źródłem sygnału napięcia sterującego oraz ze źródłem i bramką sterowanego tranzystora mocy MOS, zaś poprzez diodę z jego drenem, a wyposażony w człon czasowy i człon kontroli napięcia dren-źródło sterowanego tranzystora mocy MOS, charakteryzuje się tym, że dren sterowanego tranzystora mocy MOS jest połączony poprzez kondensator i rezystor z dodatkowym wejściem znanego członu czasowego członu sterowania.

Rozwiązanie, według wynalazku, umożliwia zminimalizowanie czasu pracy tranzystora mocy MOS na zwarcie występujące w jego obwodzie obciążenia, a tym samym zwiększa niezawodność jego pracy.

Przedmiot rozwiązania, według wynalazku, uwidoczniiony jest w przykładowym wykonaniu na rysunku, który przedstawia schemat ideowo-blokowy układu.

Sposób, według wynalazku, polega na tym, że na bramkę tranzystora mocy MOST T podaje się sygnał napięcia sterującego U_{ST} i równocześnie odmierza się ustalony okres czasu za pomocą członu czasowego członu sterowania A . Wartość ustalonego okresu czasu odmierzanego przez człon czasowy członu sterowania A dobiera się dla danego typu tranzystora mocy MOS T tak, że jest ona równa lub minimalnie większa od czasu upływającego od momentu podania na bramkę tego tranzystora T sygnału napięcia sterującego U_{ST} do momentu wystąpienia gwałtownego spadku napięcia dren-źródło U_{DS} wyznaczonego uprzednio dla znamionowego jego obciążenia. Następnie podczas każdorazowego załączania tego tranzystora T , równocześnie z odmierzeniem ustalonego okresu czasu kontroluje się za pomocą układu różniczkującego RC wartość pochodnej napięcia dren-źródło dU_{DS}/dt , a za pomocą uzyskanego sygnału odpowiadającego jej ujemnej wartości opóźnia się kontrolę napięcia dren-źródło U_{DS} o czas, którego wartość jest równa czasowi trwania tej ujemnej wartości kontrolowanej pochodnej dU_{DS}/dt . Po upływie czasu skorygowanego przez człon czasowy członu sterowania A w zależności od czasu

trwania ujemnej wartości dU_{DS}/dt , kontroluje się napięcie U_{DS} i porównuje z zadaną wartością progową. Gdy wartość napięcia U_{DS} jest większa od ustalonego progu, blokuje się sygnał napięcia sterującego U_{ST} , wyłączając tym samym tranzystor **T**.

Układ, według wynalazku, zawiera człon sterowania **A**, który jest połączony ze źródłem napięcia zasilającego U_{ZS} , źródłem sygnału napięcia sterującego U_{ST} , oraz ze źródłem **S** i bramką **G** sterowanego tranzystora mocy MOS **T**, a poprzez diodę **D1** z jego drenem **D**, przy czym człon **A** jest wyposażony w człon czasowy i człon kontroli napięcia dren-źródło sterowanego tranzystora mocy MOS **T**. Ponadto dren **D** sterowanego tranzystora mocy MOS **T** jest połączony poprzez kondensator **C** i rezystor **R** z dodatkowym wejściem znanego członu czasowego członu sterowania **A**.

Działanie układu jest następujące. Na bramkę sterowanego tranzystora mocy MOS **T** podawany jest sygnał napięcia U_{ST} i równocześnie za pomocą członu czasowego członu sterowania **A** odmierza się wyznaczony uprzednio, ustalony okres czasu, którego wartość jest dobierana dla danego tranzystora **T** tak, że jest równa lub minimalnie większa od czasu upływającego od momentu podania sygnału U_{ST} do momentu wystąpienia gwałtownego spadku napięcia dren-źródło U_{DS} , przy znamionowym obciążeniu tranzystora **T**, czyli do momentu rozpoczęcia się procesu załączania. Rozpoczęcie się procesu załączania tranzystora **T** jest opóźnione w stosunku do podania napięcia sterującego U_{ST} na jego bramkę **G**, a opóźnienie wynika głównie z istoty działania samego tranzystora **T**. Występujące następnie szybkie obniżenie się napięcia dren-źródło U_{DS} tranzystora **T** świadczy o tym, że jego załączanie, zadane sygnałem napięcia U_{ST} , jest realizowane. Podczas odmierzania czasu przez człon czasowy członu sterowania **A**, kontrolowana jest wartość pochodnej napięcia dren-źródło dU_{DS}/dt za pomocą układu **RC**, utworzonego z szeregowo połączonych: kondensatora **C** i rezystora **R**. Uzyskany sygnał odpowiadający ujemnej wartości pochodnej dU_{DS}/dt , oddziałując na człon czasowy członu sterowania **A**, powoduje opóźnienie kontroli napięcia dren-źródło U_{DS} o czas, którego wartość jest równa czasowi trwania ujemnej pochodnej dU_{DS}/dt . W końcowej fazie załączania tranzystora **T**, wartość kontrolowanej pochodnej dU_{DS}/dt rośnie do zera i po upływie określonego czasu, skorygowanego przez człon **A** w zależności od ujemnej wartości dU_{DS}/dt , kontrolowane jest napięcie U_{DS} i porównywane z zadaną wartością progową, przy czym gdy wartość napięcia U_{DS} jest większa od ustalonego progu, sygnał napięcia sterującego U_{ST} jest blokowany, czyli tranzystor **T** zostaje wyłączony. W przypadku zwarcia występującego w obwodzie obciążenia stosowanego tranzystora **T**, w trakcie procesu jego załączania, pochodna dU_{DS}/dt ma wartość równą lub większą od zera, a więc kontrola napięcia U_{DS} jest realizowana bezpośrednio po upływie ustalonego okresu czasu i tranzystor **T** zostaje wyłączony, ponieważ napięcie U_{DS} jest wówczas większe od ustalonego progu.

Zastosowanie układów, według wynalazku, dla tranzystorów mocy MOS typu STE100N20 połączonych w układzie mostkowym i pracujących z obciążeniem indukcyjnym pozwala skrócić czas opóźnienia kontroli napięcia U_{DS} z 3,5 μs do 2,8 μs , co znacznie zmniejsza awaryjność tych tranzystorów.

