



(12) 发明专利申请

(10) 申请公布号 CN 103635979 A

(43) 申请公布日 2014. 03. 12

(21) 申请号 201280014354. 0

(22) 申请日 2012. 03. 22

(30) 优先权数据

394316 2011. 03. 23 PL

(85) PCT国际申请进入国家阶段日

2013. 09. 22

(86) PCT国际申请的申请数据

PCT/EP2012/055099 2012. 03. 22

(87) PCT国际申请的公布数据

WO2012/126993 EN 2012. 09. 27

(71) 申请人 克拉科夫大学

地址 波兰克拉科夫

(72) 发明人 切扎里·沃雷克

斯瓦沃米尔·利根扎

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 曾贤伟 杨继平

(51) Int. Cl.

H01F 27/38(2006. 01)

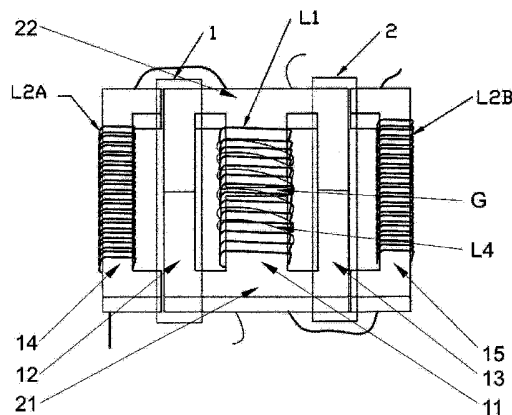
权利要求书1页 说明书6页 附图6页

(54) 发明名称

集成电感器和用于减小集成电感器中的损耗的方法

(57) 摘要

一种集成电感器,包括具有变压器绕组(L1)和共振电感器(L2)的多绕组电感器。所述变压器绕组(L1)的磁路的部分(1)、(2)被集成到共振电感器(L2)的至少两部分(L2A)、(L2B)的磁路中,以便形成所述多绕组电感器(L1)和至少两部分(L2A)、(L2B)共振电感器(L2)的磁路的公共部分,其中所述多绕组电感器的变压器绕组(L1)被缠绕在柱(11)周围,所述柱(11)具有至少一个空气间隙(G),调整所述空气间隙(G)的宽度,使得由所述至少两部分(L2A)、(L2B)共振电感器(L2)产生的磁电感不超过由所述多绕组电感器的变压器绕组(L1)产生的磁电感的25%。



1. 一种集成电感器,包括具有变压器绕组(L1)和共振电感器(L2)的多绕组电感器,其特征在于,所述变压器绕组(L1)的磁路的部分(1)、(2)被集成到所述共振电感器(L2)的至少两部分(L2A)、(L2B)的磁路中,以便形成所述多绕组电感器(L1)和至少两部分(L2A)、(L2B)共振电感器(L2)的磁路的公共部分,其中所述多绕组电感器的变压器绕组(L1)被缠绕在柱(11)周围,所述柱(11)具有至少一个空气间隙(G),调整所述空气间隙(G)的宽度,使得由所述至少两部分(L2A)、(L2B)共振电感器(L2)产生的磁电感不超过由所述多绕组电感器的变压器绕组(L1)产生的磁电感的25%。

2. 如权利要求1所述的集成电感器,其特征在于,所述多绕组电感器的变压器绕组(L1)被以单层缠绕在所述柱(11)的周围。

3. 如权利要求2所述的集成电感器,其特征在于,所述多绕组电感器的变压器绕组(L1)是在所述柱(11)周围缠绕的倾斜绕组。

4. 如上述任一权利要求所述的集成电感器,其特征在于,被缠绕了所述多绕组电感器的变压器绕组(L1)的所述柱(11)在其末端包括两个空气间隙(G1)。

5. 如上述任一权利要求所述的集成电感器,其特征在于,所述集成电感器包括磁芯条,所述磁芯条构成具有平行的柱(11-15)的磁路,所述平行的柱(11-15)与轭(21、22)磁连接,并且所述多绕组电感器的变压器绕组(L1)被缠绕在与在其上缠绕有所述共振电感器的绕组(L2A)、(L2B)的柱(14、15)平行的柱(11)上。

6. 如权利要求5所述的集成电感器,其特征在于,所述集成电感器还包括与所述轭(12、13)平行的柱(16、17)以及所述共振电感器(L2)的其他绕组(L2C、L2D),其中所述其他绕组(L2C、L2D)被缠绕在所述柱的周围。

7. 如上述任一权利要求所述的集成电感器,其特征在于,所述集成电感器包括在具有所述变压器绕组(L1)的柱(11)周围沿周向布置的磁芯条(31-36),其中所述共振电感器(L2)的绕组(L2A、L2B、L2C、L2D、L2E、L2F)被缠绕在所述磁芯条(31-36)上。

8. 一种包括如权利要求1-7中的任一项所述的集成电感器的共振电源,其中所述多绕组电感器用作输出变压器,并且所述电感元件(L1)通过所述共振电感器(L2)与晶体管开关(K1、K2)串行连接。

9. 一种用于减小集成电感器中的损耗的方法,所述集成电感器包括具有变压器绕组(L1)和共振电感器(L2)的多绕组电感器,其中所述变压器绕组(L1)的磁路的部分(1)、(2)被集成到所述共振电感器(L2)的至少两部分(L2A)、(L2B)的磁路中,以便形成所述多绕组电感器(L1)和至少两部分(L2A)、(L2B)共振电感器(L2)的磁路的公共部分,其特征在于,所述多绕组电感器的变压器绕组(L1)被缠绕在柱(11)周围,所述柱(11)具有至少一个空气间隙(G),调整所述空气间隙(G)的宽度,使得由所述至少两部分(L2A)、(L2B)共振电感器(L2)产生的磁电感不超过由所述多绕组电感器的变压器绕组(L1)产生的磁电感的25%。

集成电感器和用于减小集成电感器中的损耗的方法

[0001] 说明书

技术领域

[0002] 本发明涉及在确保铁磁芯的最小损耗的共振能量转换系统中使用的集成电感器以及用于减小集成电感器中的损耗的方法。

背景技术

[0003] 尽管共振能量转换系统具有一些优点,例如正弦电流、软切换能力、宽操作频率范围等,但其取代基于硬切换的传统方案的速度较缓慢。原因在于,在共振电路中,峰电流值在实质上超过了最大负载电流。因此,电容器和电感器两者的电抗元件应被设计为存储相对大量的能量。这个问题可以通过增加电抗元件的重量和尺寸来解决。但是,这样的方法在经济上并不可行,因为其需要额外的开销并导致较高的价格。另一个不好的影响在于能量效率的降低,因为共振能量转换系统中的电感元件的尺寸的增加会导致绕组中相当大量的损耗,特别是在 100kHz 以上的频率时。而且,增加铁磁芯尺寸并保持磁通量密度的 rms 值恒定是导致损耗随芯体积线性增加的原因。近来,由于电价增高且法规措施着重于限制用电量及其合理使用,因此能量效率变为影响所提方案的潜在成功的重要参数。

[0004] 美国专利 No. 5, 886, 516 提出了一种用于串联共振转换器中的操作的集成多绕组磁元件,其中在单个的“UU”间隙的磁芯上,设置了隔离变压器的两个绕组和构成共振电路的两个电感元件的两个额外的绕组。该组件构成了包括三个电感、两个电容和隔离变压器的共振电路。

[0005] 根据美国专利 No. 5, 726, 615 已知的集成磁装置包括三个铁磁壶形芯,其中的两个铁磁壶形芯具有中央芯柱,所述中央芯柱携带在这些柱周围设置的两个扁平绕组。这两个电感元件构成变压器。第三个铁磁壶形芯具有较短的中央芯柱,在所述中央芯柱周围放置有扁平绕组。邻近变压器的扁平外表面的第三芯条允许形成第三电感元件。第三电感元件通过空气间隙部分磁耦接到另一个绕组,所述第三电感元件被定相为使得磁感应的方向与未间隙的磁路中的磁感应的方向相同。

[0006] 美国专利 No. 7, 525, 406 提出了这样一种结构,所述结构包括多个耦合和未耦合的电感元件和至少一个闭合的磁路,所述磁路包括相互相邻的磁元件,所述磁元件具有用于在 X 轴和垂直的 Y 轴上的电流导体的沟槽。沿着同一个轴布置的电流导体显现了互感,但相互正交轴之间的电流导体并未显现互感。

[0007] 波兰专利申请 No. 393133 提出了一种用于增加由集成电感器传输的功率的方法,其特征在于:将电感器的绕组彼此相对正交地放置,并且选择电感元件值,使得通过传输主磁通量的主磁路的至少一部分来传输辅助磁路的磁通量,同时两个磁电感矢量彼此相对正交地取向,并且在时间上变化的两个磁电感矢量在时间域中相对于彼此偏移。

[0008] 在文献“1MHz-1kW LLC Resonant Converter with Integrated Magnetics”, Zhang, Yanjun Xu, Dehong Mino, Kazuaki Sasagawa, Kiyooki, Applied Power

Electronics Conference, APEC2007-Twenty Second Annual IEEE, Feb. 25 2007-March 1 2007, pp. 955-961 中,描述了一种集成磁模块,其中磁电感补偿的区域被限制到一小部分的磁芯体积。此外,在该元件中,存在如下问题:相对于变压器电感值的大共振电感值;并且存在如下的相对较大的影响:增加来自磁路的空气间隙的处于磁场中的铜绕组的电阻。

[0009] 在文献“Planar Integrated Magnetics Design in Wide Input Range DC-DC Converter for Fuel Cell Application”, Ziwei Ouyang, Zhe Zhang, Ole C. Thomsen, Michael A. E. Andersen, Ole Poulsen, Thomas Björklund, Energy Conversion Congress and Exposition (ECCE), 2010 IEEE: 12-16 Sept. 2010, pp. 4611-4618 中,还描述了一种集成磁模块,在所述集成磁模块中,磁电感补偿的区域被限制到小部分的磁芯体积。在该方案中,出现所谓的热点,其中总计由集成磁路的电感元件产生的磁电感矢量。

[0010] 上述示例说明了要在共振 DC/DC 转换器中使用的集成电抗。但是,所述集成电抗并不完全使用多绕组电感器作为共振能量转换系统中的输出变压器,并且因此共振电路的电感元件中的热损耗的减小。

[0011] 因此,期望开发出这样的集成电抗元件,其特征在于其共振电路电感元件中的热损耗减小,并且适合于在共振 DC/DC 转换器中使用。

发明内容

[0012] 本发明的一个目的在于一种集成电感器,包括具有变压器绕组和共振电感器的多绕组电感器,其中所述变压器绕组的磁路的部分被集成到共振电感器的至少两部分的磁路中,以便形成所述多绕组电感器和至少两部分共振电感器的磁路的公共部分,其中所述多绕组电感器的变压器绕组被缠绕在柱周围,所述柱具有至少一个空气间隙,调整所述空气间隙的宽度,使得由所述至少两部分共振电感器产生的磁电感不超过由所述多绕组电感器的变压器绕组产生的磁电感的 25%。

[0013] 优选地,所述多绕组电感器的变压器绕组被以单层缠绕在所述柱的周围。

[0014] 优选地,所述多绕组电感器的变压器线圈是在所述柱周围缠绕的倾斜绕组。

[0015] 优选地,其上被缠绕了所述多绕组电感器的变压器绕组的所述柱在其末端包括两个空气间隙。

[0016] 优选地,所述集成电感器包括磁芯条,所述磁芯条构成具有平行的柱的磁路,所述平行的柱与轭磁连接,并且所述多绕组电感器的变压器绕组被缠绕在与其上缠绕有所述共振电感器的绕组的柱平行的柱上。

[0017] 优选地,所述集成电感器还包括与所述轭平行的柱以及所述共振电感器的其他绕组,其中所述其他绕组被缠绕在所述柱的周围。

[0018] 优选地,所述集成电感器包括在具有所述变压器绕组的柱周围沿周向布置的磁芯条,其中所述共振电感器的绕组被缠绕在所述磁芯条上。

[0019] 本发明的另一个目的在于一种包括根据本发明的集成电感器的共振电源,其中所述多绕组电感器用作输出变压器,并且所述电感元件通过所述共振电感器与晶体管开关串行连接。

[0020] 本发明还涉及一种用于减小集成电感器中的损耗的方法,所述集成电感器包括具有变压器绕组和共振电感器的多绕组电感器,其中所述变压器绕组的磁路的部分被集成到

所述共振电感器的至少两部分的磁路中,以便形成所述多绕组电感器和至少两部分共振电感器的磁路的公共部分,其中,所述多绕组电感器的变压器绕组被缠绕在柱周围,所述柱具有至少一个空气间隙,调整所述空气间隙的宽度,使得由所述至少两部分共振电感器产生的磁电感不超过由所述多绕组电感器的变压器绕组产生的磁电感的 25%。

附图说明

[0021] 通过关于附图的示例性实施例来示出本发明,在附图中:

[0022] 图 1 示出了根据第一实施例的基于集成电感器 ZER 的具有质量因素限制器的多共振电源的半桥结构。

[0023] 图 2 示出了集成电感器的第一实施例,其中由也用作输出变压器的多绕组电感器产生的可变磁电感和由共振电感器产生的可变磁电感被取向为相对于彼此平行,使得所得到的两个磁电感的时间可变矢量获取其最小值。

[0024] 图 3 示出了根据第一实施例的集成电感器中的磁电感分布的示例性仿真,其中在共振电感器中流动的电流 $L2=L2A+L2B$ 等于 0 个任意单位,而 L1 线圈中流动的电流等于 0.67 个任意单位。磁芯的中央柱集成了空气间隙。

[0025] 图 4 示出了根据第一实施例的集成电感器中的磁电感分布的示例性仿真,其中共振电感器中的电流 $L2=L2A+L2B$ 等于 1 个任意单位,而 L1 线圈中的电流等于 0.67 个任意单位。磁芯中央柱集成了空气间隙并且选择电流的方向,使得它们在相位上相反(180° 相位偏移)。

[0026] 图 5 示意性地示出了集成电感器的第二实施例,并且图 6 示出了共振电源电路中其应用的示例。

[0027] 图 7 示意性地示出了集成电感器的第三实施例,并且图 8 示出了共振电源电路中其应用的示例。

[0028] 图 9 示意性地示出了集成电感器的空间结构的第四实施例。

具体实施方式

[0029] 图 1 示出了共振模式电源电路中根据本发明的集成电感器的应用的第一示例。集成电感器 ZER1 包括由串联连接的两个电感元件 L2A 和 L2B 构成的共振电感器 L2 和多绕组电感器,该多绕组电感器也用作输出变压器,包括具有公共磁路的三个电感元件 L1、L3、L4。电感元件 L1 通过电感器 $L2=L2A+L2B$ 与电阻器开关 K1、K2 串联连接;输出绕组 L4 和质量因素限制器绕组 L3 和电感器 L5 连接到二极管电压限制器 PD1。初级绕组还连接到电容电路 $C2=C2A+C2B$ 。由于电容电路 $C2=C2A+C2B$ 与电感器 $L2=L2A+L2B$ 的串联连接,因此所得到的这些元件的阻抗在很大程度上取决于频率,其允许控制被提供给多绕组电感器的次级绕组 L4 的电压。由于处于共振,多绕组电感器的绕组处的电压值可以实现高值,已经采用了用于限制能力佳的电路,其形成与电感器 L5 和二极管 viotabe 限制器 PD1 相连接的控制绕组 L3。

[0030] 图 2 示出了根据本发明的集成电感器的第一实施例。集成电感器包括两个“E”形的芯条(利用它们的被结合在一起的引线组装)和两个“U”形的芯条(其引线被接合到所述两个“E”形芯条的拐角)。这些芯条构成了相对于彼此平行的柱 11、12、13、14、15,而多绕组

电感器绕组 L1 绕在柱 11 周围。中间的柱 12、13 不具有绕组。在外部绕组 14、15 周围，缠绕有两部分的共振电感器 L2 的绕组 L2A、L2B。通过闭合磁路的轭 21、22 来连接柱 11-15。这样的配置确保了来自多绕组电感器的最小的漏通量，而主通量在“E”芯条中闭合。此外，多绕组电感器磁路包括至少一个空气间隙 G，所述空气间隙 G 能够控制磁芯中的最大磁电感值、以及因此在芯中发生的功率损失。选择空气间隙 G 的宽度，从而由至少两部分 L2A、L2B 的共振电感器 L2 产生的磁电感不会超过由多绕组电感器的变压器绕组 L1 产生的磁电感的 25%。此外，这样的具有单层、优选倾斜的、在空气间隙上有间断的绕组的构造最小化了磁元件之间的磁耦合，这确保了绕组的对称，并且最小化了与空气间隙周围的磁场的影响相关联的损耗。共振电感器绕组利用两个“U”形芯条，在所述两个“U”形芯条上放置有绕组 L2A 和 L2B。在图 3 和图 4 所示的实施例中，以利用指示方向的箭头的虚线绘制的曲线的形式来示出由集成电感器绕组产生的磁电感的优选方向，同时在图 3 中，电流仅流过元件 L1，而在图 4 中，电流流过元件 L1 和 L2。图 2 所示的集成电感器的有益特征在于容易调整到通过适当尺寸的典型的磁元件传输的功率的不同值。由于多绕组电感器绕组 L1 相对于共振电感器绕组 L2A 和 L2B 平行放置，因此由这些绕组产生的磁电感也被平行取向。图 2 中并未示出通常被缠绕在 L1 绕组上的绕组 L3 以增加其清晰度。此外，根据通过在共振模式电源中集成的电抗元件的相关值的适当选择或适当拓扑的选择来实现的两个磁电感矢量之间的相位偏移，可以在特定的范围内减少磁电感的幅度，并且因此能够实现磁芯中的损耗的减少。出于此目的，选择在磁路的所选择的部分中叠加的磁电感之间的相位偏移，以实现可能的最小损耗。优选地，通过电感器 L1 和 L2 产生的磁电感之间的相位偏移基板上为 180°。

[0031] 众所周知，通过以下公式来描述铁磁芯中的损耗：

$$[0032] \quad P_V = P_{V, \text{histerezy}} + P_{V, \text{prqrq-wirowe}} + P_{V, \text{resztkowe}}$$

[0033] 铁磁芯中的损耗 $P_V(B, f, T)$ 主要取决于磁电感 B、磁场频率 f 和芯温度 T，而且：

$$[0034] \quad P_V(B) \approx B^{2+y}, \text{ 其中 } y \in [0, 1],$$

$$[0035] \quad P_V(f) \approx f^{1+x}, \text{ 其中 } x \in [0, 1],$$

[0036] $P_V(T)$ 获得其接近 90°C 的最小值。

[0037] 在根据图 1 的共振模式电源中，可以实现电感 L2A 和 L2B 中的电流和多绕组电感器绕组 L1 中的电流之间的约 +/-90° 的恒定相位偏移。假定磁电感矢量的幅度相等，所得到的其中叠加了两个磁通量的磁路部分中的磁电感幅度是：

[0038]

$$B_{12}(t) = B_A \cdot (\sin \omega t + \cos \omega t) = B_A \cdot \sqrt{2} \cdot \sin(45^\circ + \omega t) = B_{A12} \cdot \sin(45^\circ + \omega t)$$

$$[0039] \quad B_{A12} = B_A \cdot \sqrt{2}$$

[0040] 假定两个电感矢量在同一个平面上的相位相反 (180° 的相位偏移) 并且针对正弦波形假定与线圈 (L1) 和 (L2=L2A+L2B) 相关联的电感的幅度相同 $B_{A1}=B_{A2}=B_A$ ，并且如果磁场被整形使得它们被抵消，则所得到的特定区域中的磁电感 $B_{12}(t)$ 为 B_{A12} ：

$$[0041] \quad B_{12}(t) = B_A \cdot (\sin \omega t - \sin(\omega t)) = B_{A12} \cdot 0 = 0$$

[0042] 根据本发明的集成电感器具有如下的特定期望特征：两个电感元件 L2A、L2B 使用多绕组电感器中的部分 1 和 2，并且能够通过减少磁电感矢量幅度在实质上减少磁路的公

共支路中的损耗。

[0043] 图 3 和图 4 示出了根据本发明的在集成电感器中的磁电感矢量分布的仿真的结果。图 3 说明了当共振电感器 $L_2=L_{2A}+L_{2B}$ 电流等于 0 个任意单位并且线圈 L_1 电流为 0.67 个任意单位时的集成电感器状况。磁芯的中央柱集成了空气间隙。这是初始状况,其是用于比较的基础,因为没有来自共振电感器的补偿磁电感。

[0044] 图 4 说明了集成电感器中磁电感矢量分布的仿真,其中共振电感器 $L_2=L_{2A}+L_{2B}$ 电流等于 1 个任意单位,并且线圈 L_1 中的电流等于 0.67 个任意单位。磁芯的中央柱集成了空气间隙,并且选择绕组 L_1 和 L_2 中的电流方向,从而它们相位偏移 180° 。在铁磁芯的外部分支中,磁电感电流已经从 0.8 个任意单位的值减小到 0.45 个任意单位的值。在这样的情形中,假定在芯中的损耗功率的值和磁电感的值之间存在如下的平方关系,可以评估损耗功率的相对改变:

$$[0045] \quad P_v(B) \approx B^2$$

[0046] 例如,如果在 33% 的芯体积内减少磁电感幅度并且磁电感幅度从 0.8 个任意单位降低到 0.45 个任意单位,则由于在 33% 的芯体积内减少磁电感,因此在磁路的所选部分中的热损耗在整个芯中降低 67% 和 20%。

[0047] 图 5 示意性地示出了集成电感器的第二实施例,并且图 6 示出了共振电源电路中其应用的示例。第二实施例与第一实施例的不同之处仅在于其在柱 11 的磁元件和轭 21、22 之间包括位于柱 11 的末端的两个空气间隙 G_1 。这个方案相对于在柱 11 的中间包括单个间隙 G 的配置而言的优势在于其允许从空气间隙实现磁场的自掩盖效果(电磁辐射的减小、与空气间隙附近的磁场相关联的损耗的最小化、通过外部轭在磁元件之间的耦合的最小化),并允许维持磁场分布的对称(独立于柱的位置的相等数量的每匝电压)。与第一实施例类似,第二实施例在连接柱 11 的轭中包括空气间隙 G_2 ,在柱 11 周围缠绕有变压器绕组,并且在柱 14 和 15 周围缠绕有共振电感器绕组 L_{2A} 、 L_{2B} 。利用虚线来示出由变压器绕组 L_1 产生的磁电感的方向,并且通过虚点线来表示由共振电感器绕组 L_{2A} 、 L_{2B} 产生的磁电感的方向。在第二实施例中,柱 11 的高度大于柱 11 和柱 14、15 之间的距离,并且因此变压器绕组 L_1 可以被缠绕为单层绕组,或者在柱 11 的长度较大的情况下,被缠绕为倾斜绕组。单层缠绕的变压器绕组 L_1 允许减少绕组损耗(减少邻近效应),并且还允许维持与公共磁路的可能相对长度一样大(磁材料中的损耗减少),并且还实现扁平面构造。变压器绕组的寄生电容的减小使得能够增加操作频率。

[0048] 图 7 示意性地示出了集成电感器的第三实施例,并且图 8 示出了共振电源电路中其应用的示例。根据第三实施例的集成电感器与根据第二实施例的集成电感器的不同在于其具有四-元件供电电感器,除了缠绕在与柱 11 平行的柱 14、15 周围的绕组 L_{2A} 、 L_{2B} 之外,其还具有缠绕在与轭 12、13 平行的柱 16、17 周围的绕组 L_{2C} 、 L_{2D} 。这允许额外增加磁材料的体积,其中出现磁电感的减少,并且因此减少了磁芯中的损耗。

[0049] 由于在共振状况下多绕组电感器两端的电压可以保持较大值,因此本方案集成了质量因素限制电路,该电路包括与电感器 L_5 和二极管电压限制器 PD_1 相连接的控制绕组 L_3 。

[0050] 图 9 示意性地示出了集成电感器的空间结构的第四实施例,其中六-部分共振电感器的绕组 L_{2A} 、 L_{2B} 、 L_{2C} 、 L_{2D} 、 L_{2E} 、 L_{2F} 被缠绕在柱 31、32、33、34、35、36 周围,被沿周向布

置在承载变压器绕组的柱 11 周围。柱 31-36 可以是曲线的,并且在本实施例中,它们具有半环面的形式,并且因此便于构造线轴(也处于超环面的形式)和线圈的绕组,并且能够实现线圈损耗的显著减少。柱 31-36 的周向布置允许最小化空气间隙以及因此来自集成磁元件的磁通量泄露的有效减少,并允许实现密制、低轮廓的构造,并且因此允许实现寄生匝间电容的显著减少。

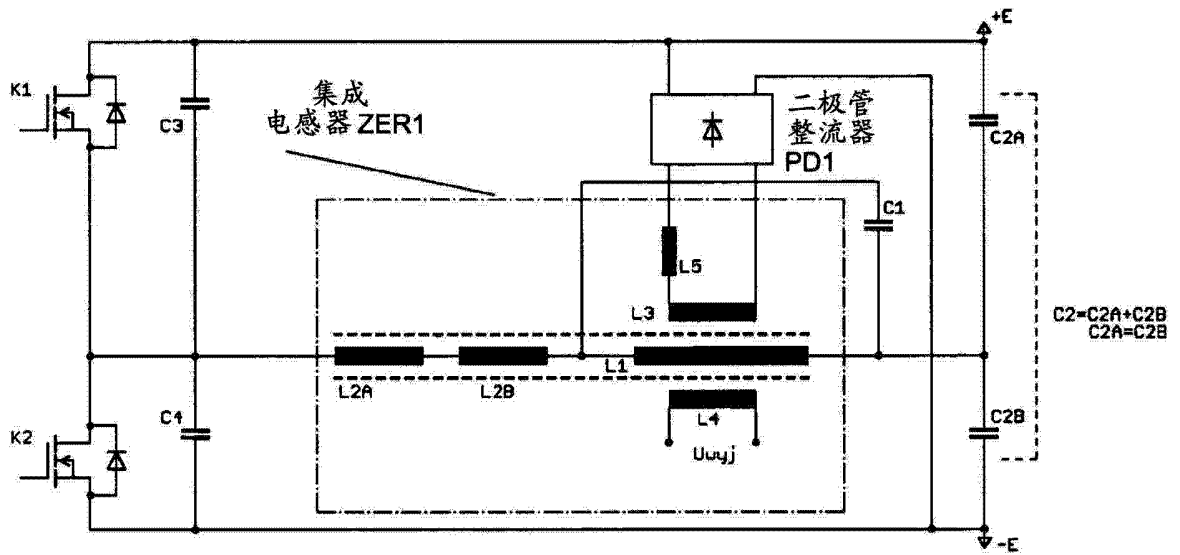


图 1

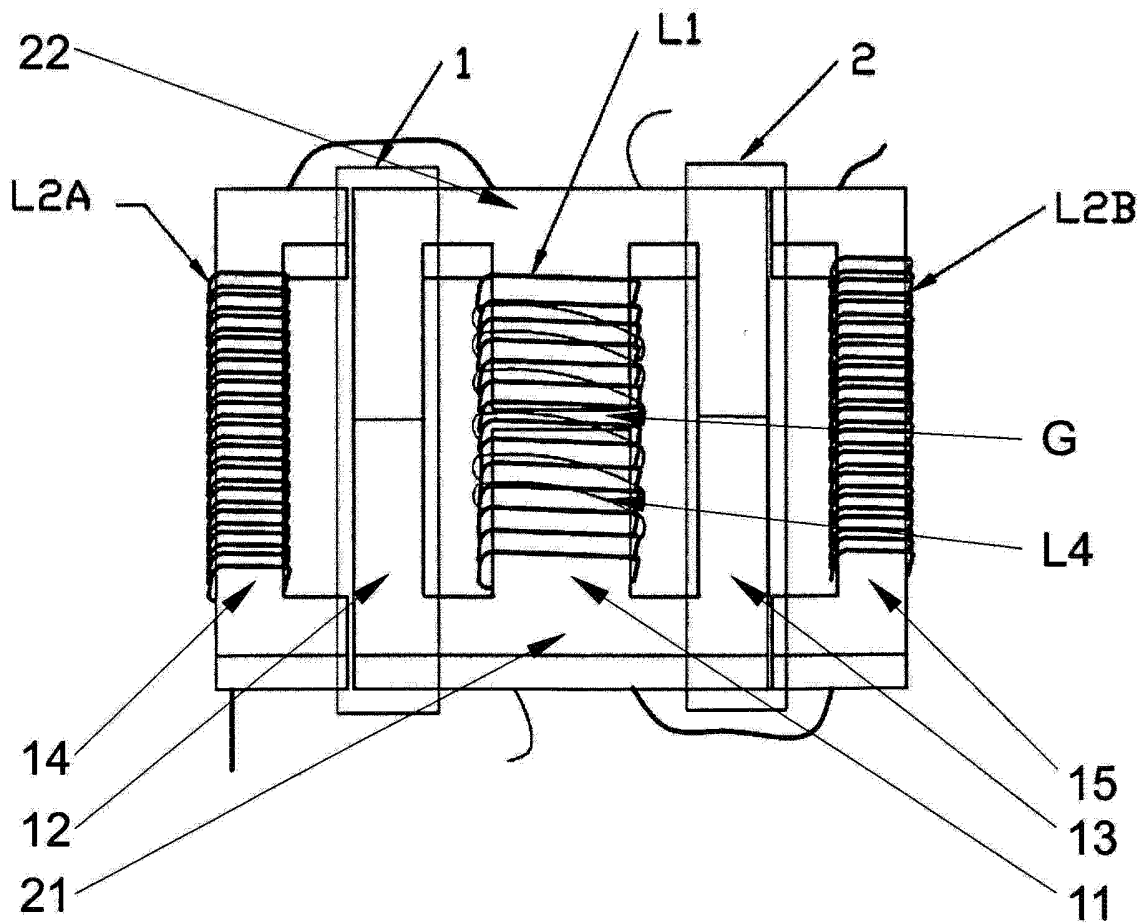


图 2

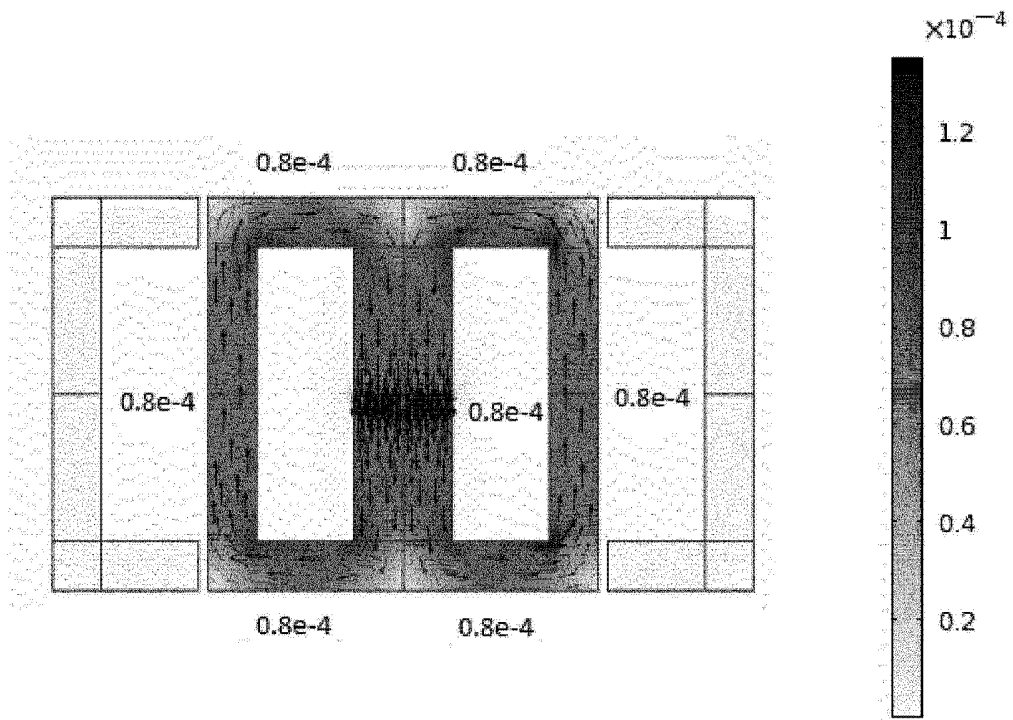


图 3

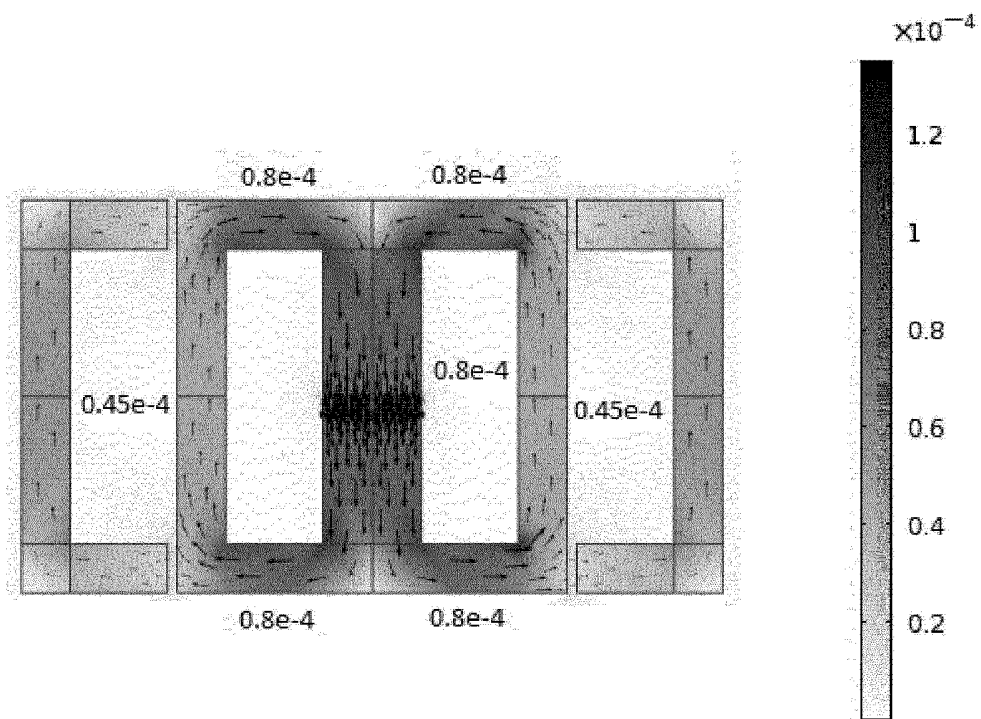


图 4

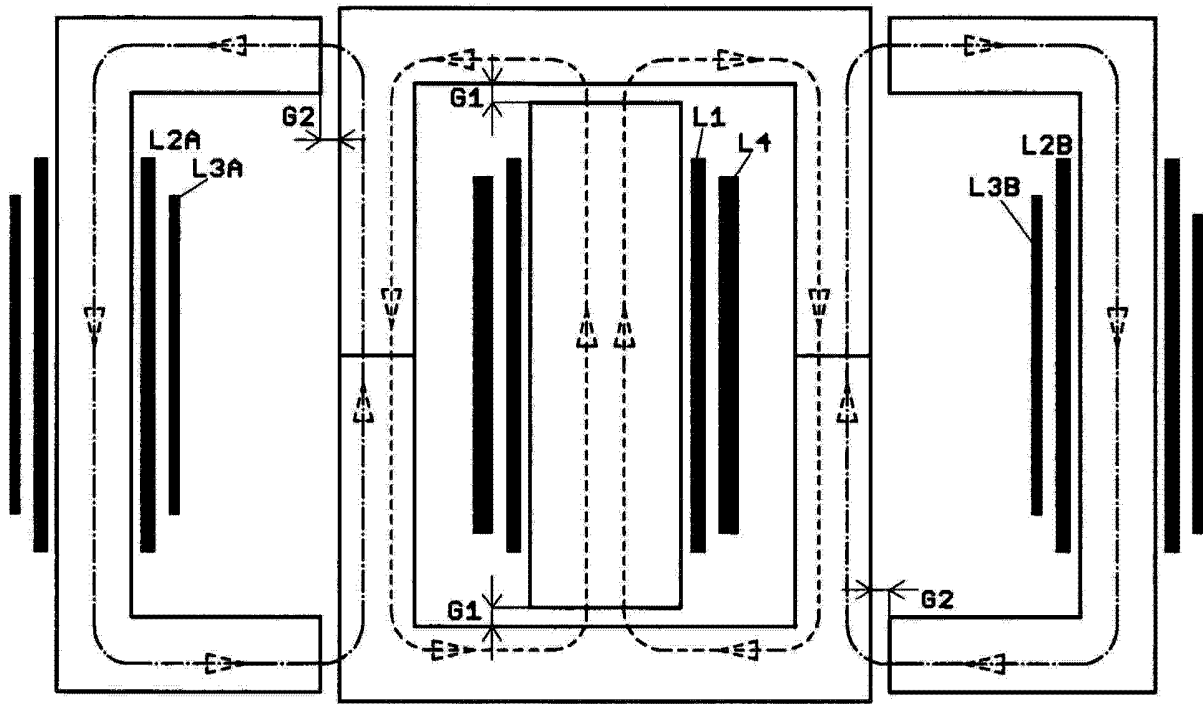


图 5

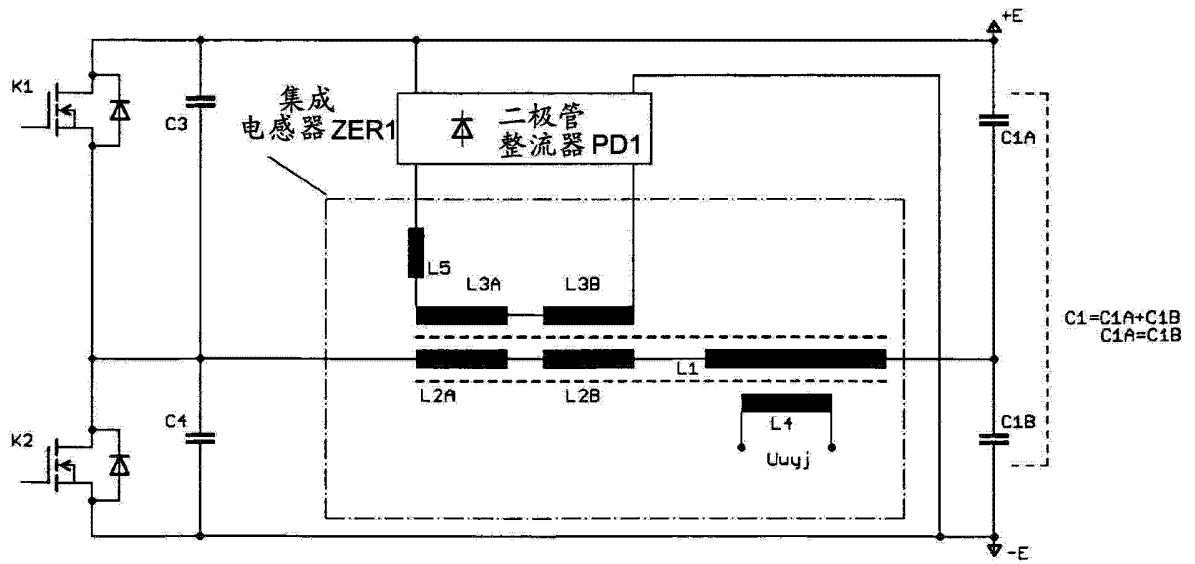


图 6

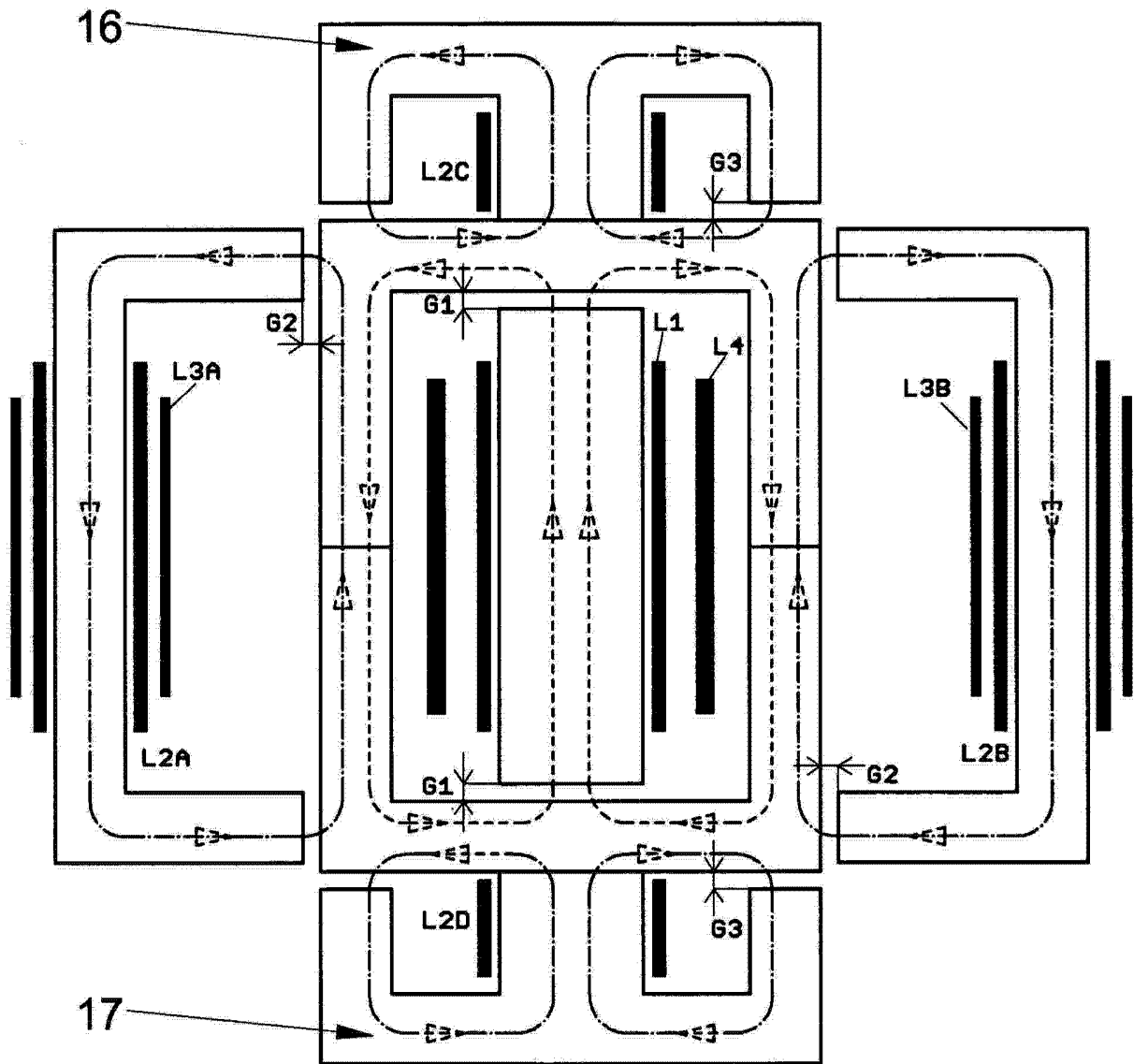


图 7

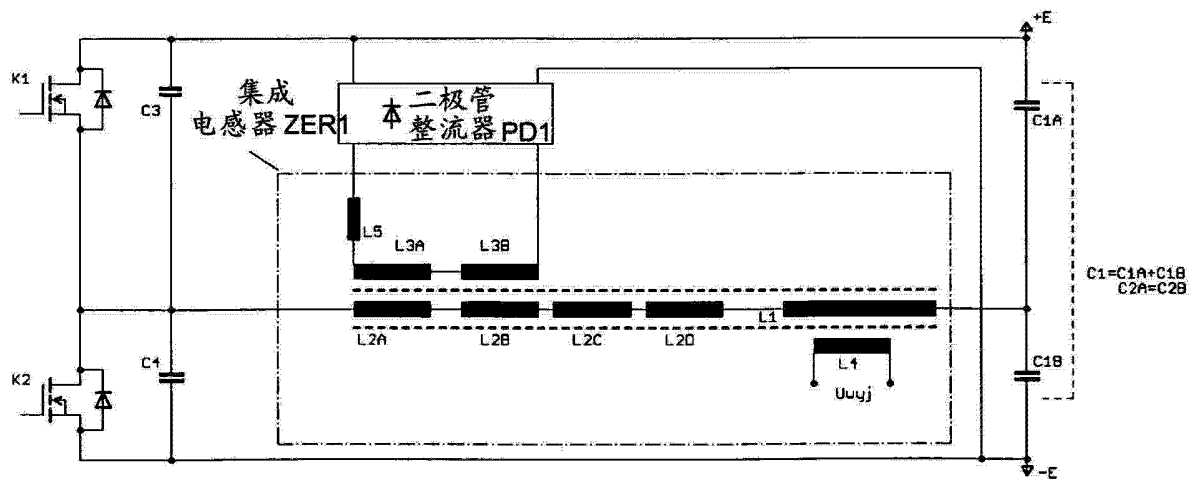


图 8

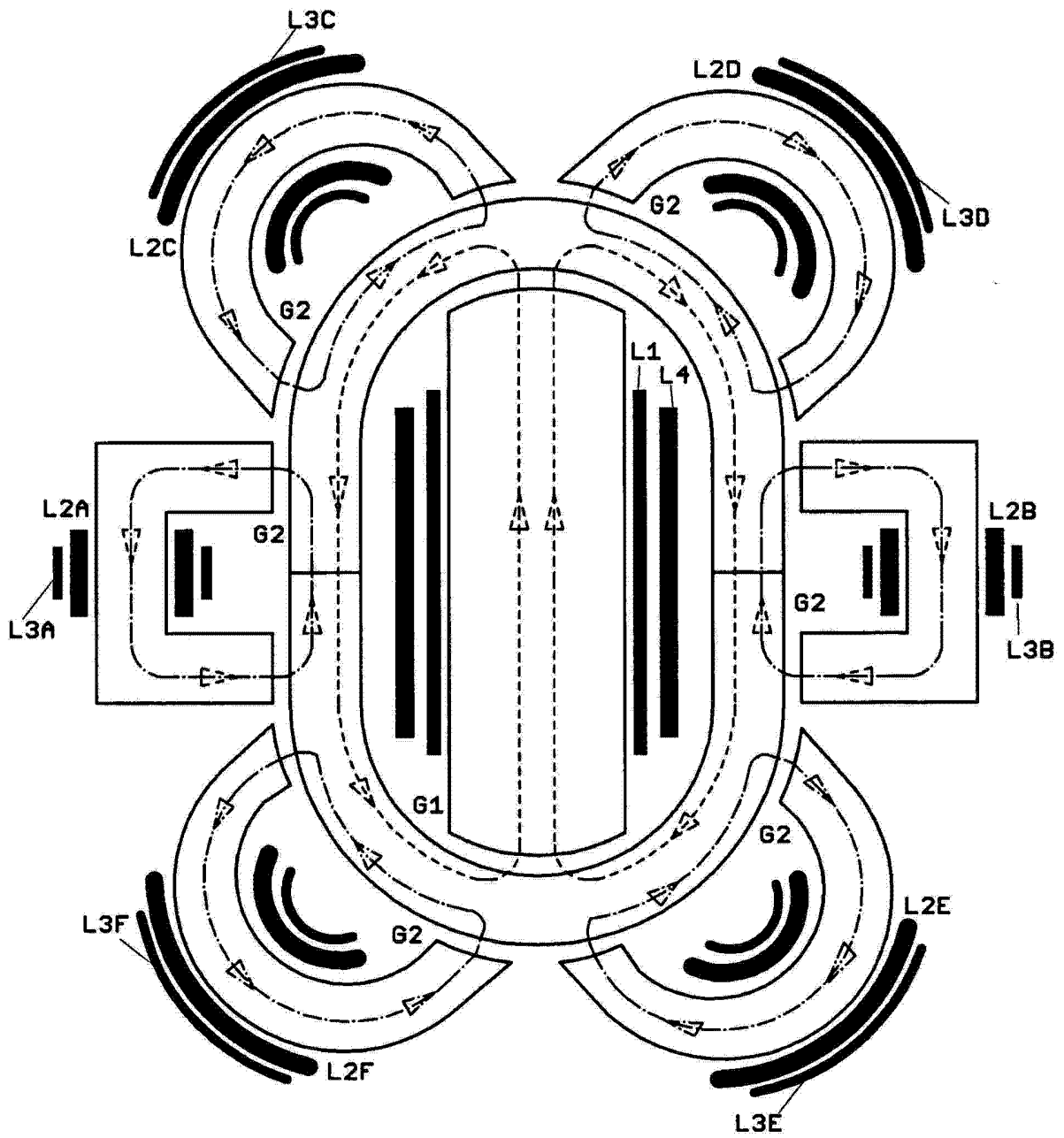


图 9