



(12) 发明专利申请

(10) 申请公布号 CN 103262402 A

(43) 申请公布日 2013.08.21

(21) 申请号 201180057933.9

(51) Int. Cl.

(22) 申请日 2011.12.01

H02M 3/335(2006.01)

(30) 优先权数据

H02M 3/337(2006.01)

393133 2010.12.03 PL

H01F 27/38(2006.01)

(85) PCT申请进入国家阶段日

2013.05.31

(86) PCT申请的申请数据

PCT/EP2011/071499 2011.12.01

(87) PCT申请的公布数据

W02012/072732 EN 2012.06.07

(71) 申请人 克拉科夫大学

地址 波兰克拉科夫

(72) 发明人 切扎里·沃雷克

斯瓦沃米尔·利根扎

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

代理人 丁文蕴 杜德海

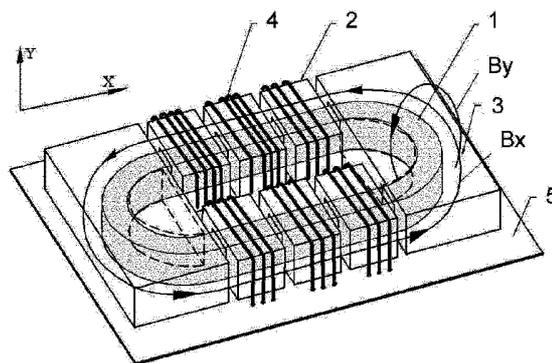
权利要求书1页 说明书4页 附图3页

(54) 发明名称

具有集成感应器的谐振电源

(57) 摘要

一种谐振模式电源包括集成感应器(ZER), 该集成感应器(ZER)包括感应器(IR)和变压器(TR)。变压器(TR)的内部主绕组(1)被磁性元件(2,3)围绕以闭合围绕变压器(TR)的内部主绕组(1)的磁通线,其中至少一个磁性元件(2,3)被布置成与变压器(TR)的内部主绕组(1)正交的感应器(IR)的至少一个外部辅助绕组(4)围绕,电源被配置成使得在操作过程中流过感应器(IR)的电流(I_1)相对于流过变压器(TR)的初级绕组的电流(I_2)在相位上位移。



1. 一种谐振模式电源,其包括集成感应器(ZER),该集成感应器(ZER)包括感应器(IR)和变压器(TR),其特征在于,变压器(TR)的内部主绕组(1)被磁性元件(2,3)围绕以闭合围绕变压器(TR)的内部主绕组(1)的磁通线,其中至少一个磁性元件(2,3)被布置成与变压器(TR)的内部主绕组(1)正交的感应器(IR)的至少一个外部辅助绕组(4)围绕,电源被配置成使得在操作过程中流过感应器(IR)的电流(I_1)相对于流过变压器(TR)的初级绕组的电流(I_2)在相位上位移。

2. 根据权利要求1所述的谐振模式电源,其特征在于,集成感应器(ZER)的磁性元件(2,3)在垂直平面和水平平面中的至少一个平面上被非磁性间隙分隔。

3. 根据权利要求1所述的谐振模式电源,其特征在于,电流(I_1, I_2)之间在相位上的位移接近 90° 。

4. 一种用于在谐振模式电源中增加由集成感应器传递的电力的方法,该谐振模式电源包括集成感应器(ZER),集成感应器(ZER)包括感应器(IR)和变压器(TR),其特征在于,变压器(TR)的内部主绕组(1)被磁性元件(2,3)围绕以闭合围绕变压器(TR)的内部主绕组(1)的磁通线,其中至少一个磁性元件(2,3)被布置成与变压器(TR)的内部主绕组(1)正交的感应器(IR)的至少一个外部辅助绕组(4)围绕,其中通过选择谐振模式电源的感应元件的值来增加由集成感应器(ZER)传递的电力,从而在操作过程中流过感应器(IR)的电流(I_1)相对于流过变压器(TR)的初级绕组的电流(I_2)在相位上位移。

具有集成感应器的谐振电源

技术领域

[0001] 本发明涉及一种用于增加由集成感应器传递的电力的方法和适用于具有品质因子限幅器的谐振模式电源的集成感应器。

背景技术

[0002] 现有技术文献中已知两个主要类型的谐振电压转换器：串联转换器和并联转换器。它们设置有向谐振电路供能量的桥式或半桥式整流结构。对谐振电路频率的控制允许控制谐振电路的电压和电流，从而控制施加到负载的电力。谐振转换器的主要优点在于能够在零电压下对大的电流进行整流从而使整流损失最小化，因而允许产生准正弦电流，这相应地降低了所产生的干扰的程度。为了保证在转换器和倒相电路中半导体设备整流的有利条件，采用包括多个电抗元件的复杂的谐振结构。最为常用的是设置有额外的元件的串并联结构。在谐振条件下，特别是如果施加到负载的电流必须尽可能接近正弦，那么谐振电路中的峰值电流值会相当大地超过最大负载电流。因此，谐振电路电抗元件应当使能量能够以极大地超过取得的能量的量进行传递。在感应元件中积累更多电量需要更大尺寸和重量的感应元件。因此，需要寻求允许减少转换器磁性部件质量以减少转换器制造成本及其总质量的解决方案。

[0003] 该目的通过将感应元件以以下方式集成而实现：通过至少两个感应元件同时利用磁路的某些部分。

[0004] 美国专利号 5,886,516 涉及一种用于在串联的谐振转换器中操作的集成的多绕组磁性元件，其中在单个“UU”间隙的磁芯上设置有隔离变压器的两个绕组和构成谐振电路的两个感应元件的两个额外的绕组。该组件构成由三个电感、两个电容和隔离变压器组成的谐振电路。

[0005] 从美国专利号 5,726,615 已知的集成 - 磁性装置包括三个铁磁壶形铁芯，其中两个具有中央芯柱，该中央芯柱承载围绕这些柱定位的两个扁平绕组。这两个感应元件构成变压器。第三铁磁壶形铁芯具有更短的中央芯柱，围绕该中央芯柱设置有扁平绕组。邻近变压器的扁平外表面定位的第三铁芯部件允许形成第三感应元件。第三感应元件通过气隙部分地磁性耦合到其它绕组并定相以沿着与无间隙的磁路中的磁感应相同的方向具有磁感应。

[0006] 美国专利号 7,525,406 涉及的结构包括多个耦合的和未耦合的感应元件以及由具有用于沿 X 轴和垂直于 X 轴的 Y 轴的电流导体的槽的相互邻近的磁性元件组成的至少一个闭合的磁路。沿着相同轴设置的电流导体显示出互感，而设置在相互正交的轴之间的电流导体不显示出互感。

[0007] 通过美国专利号 7,525,406 可以知道借助中央铁磁芯部件的正交磁通量的相互传递。

[0008] 上述例子显示了适用于在典型的谐振 DC/DC 转换器中操作的集成电抗元件的实施例。然而，上述集成电抗元件不能完全利用组合的电抗元件的特定操作条件，这还允许一

些操作参数的改善。

发明内容

[0009] 本发明的目的在于提供一种谐振模式电源,其包括集成感应器,该集成感应器包括感应器和变压器,其中变压器的内部主绕组被磁性元件围绕以闭合围绕变压器的内部主绕组的磁通线,其中至少一个磁性元件被布置成与变压器的内部主绕组正交的感应器的至少一个外部辅助绕组围绕,电源被配置成使得在操作过程中流过感应器的电流相对于流过变压器的初级绕组的电流在相位上位移。

[0010] 优选地,集成感应器的磁性元件在垂直平面和水平平面中的至少一个平面上被非磁性间隙分隔。

[0011] 优选地,电流之间在相位上的位移接近 90° 。

[0012] 本发明的另一个目的在于提供一种用于在谐振模式电源中增加由集成感应器传递的电力的方法,该谐振模式电源包括集成感应器,集成感应器包括感应器和变压器,其中变压器的内部主绕组被磁性元件围绕以闭合围绕变压器的内部主绕组的磁通线,其中至少一个磁性元件被布置成与变压器的内部主绕组正交的感应器的至少一个外部辅助绕组围绕,其中通过选择谐振模式电源的感应元件的值来增加由集成感应器传递的电力,使得在操作过程中流过感应器的电流相对于流过变压器的初级绕组的电流在相位上位移。

附图说明

[0013] 通过附图中的示例性实施例示出本发明,其中:

[0014] 图 1 示出基于集成感应器 ZER 的具有品质因子限幅器的多谐振电源的半桥式结构。

[0015] 图 2 示出集成感应器的示例性实施例,其中由变压器和感应器产生的并叠加在选定区域中的可变磁感应相互正交。

[0016] 图 3 示出集成感应器的示例性实施例,其中选定区域中的可变磁感应已被示出,它们源自变压器和感应器绕组,并相对于彼此正交。

[0017] 图 4 示出正交感应矢量,它们从变压器绕组 $B_y(t)$ 和感应器绕组 $B_x(t)$ 开始,以及在不同时刻产生感应矢量 $B_{xy}(t)$ 。

[0018] 图 5 示出集成感应器中的磁场能量对时间。

具体实施方式

[0019] 图 2 示出的集成感应器包括多个闭路磁性元件 2 (它们是“U”型和“I”型铁芯部件的组合)和两个“EP”型的闭合磁性铁芯部件 3。所述磁性元件完全围绕变压器的内部绕组 1。这种结构使变压器绕组的漏磁通量最小化。另一方面,感应器的磁路包括多个气隙,从而允许实现更为均匀的磁场并减少由闭路磁芯 2 和感应器 4 绕组组成的感应器的漏磁通量。在图 2 示出的示例性实施例中,磁性元件位于 PCB 层压板 5 上,利用板的另一侧上的导电层实现感应器 4 绕组连接。为了清楚,未示出填充在闭路磁性元件 2 之间的间隙的材料。间隙中可填充空气或非磁性材料。图 2 示出的集成感应器的优点在于使用适当数量的闭路磁性元件 2,使其能够容易地适应于传递的电的不同数值。如图 3 所示,变压器 1 绕组和感

应器 4 绕组的相互正交定位使得在闭路磁性元件 2 中由这些绕组产生的磁感应相对于彼此正交地定向。额外的优点在于通过适当地选择包含在谐振模式电源中的电抗元件的相对值实现两个磁感应矢量之间的时间位移。这允许增加磁性材料体积的每单位所存储的电量。为此,叠加在磁路的选定部分的磁感应之间的相位位移应被选择为实现在集成感应器的电感的单个时间段过程中存储可能的峰值电力的最大总数。合适地选择的相位位移值允许增加该总数而不超过所使用的磁性材料所准许的饱和感应。图 4 示出从变压器绕组 $B_y(t)$ 和感应器绕组 $B_x(t)$ 开始的正交感应矢量,以及在不同时刻产生的感应矢量 $B_{xy}(t)$:(从左上角开始) $0, \pi/4, \pi/2, 3\pi/4, 5\pi/4$ 和 $7\pi/4$ 。

[0020] 图 5 示出与磁感应的平方成比例的磁场能量,磁感应存储在从变压器 $B_y(t)$ 和感应器 $B_x(t)$ 开始的正交磁场中以及产生这些能量的总数,在该情况下(当感应矢量的振幅彼此相等且正交并移位 $\pi/2$ 相位时),磁场能量是恒定的且独立于时间。

[0021] 图 1 示出利用集成感应器 ZER 的谐振模式电源。集成感应器包括感应器 IR 和设置有如下三个绕组的变压器 TR:通过感应器 IR 与晶体管开关 K1, K2 串联的初级绕组、输出绕组和连接到二极管电压限幅器 DON 的控制绕组。初级绕组还连接到电容组件 C3, C4。由于存在电容组件 C3, C4 与感应器 IR 的串联,所以以这种方式连接的元件的合成阻抗强烈地依赖于频率,因而允许控制施加到变压器 TR 的初级绕组的电压。由于在谐振条件下变压器 TR 输出电压可以达到大的数值,所以本发明利用由与二极管电压限幅器 DON 连接的控制绕组组成的限制电路。

[0022] 图 1 的集成感应器的示例性实施例描绘在图 2 中,其中利用闭路磁性元件 2、闭合磁性部件 3 和包括初级绕组、二级绕组和控制绕组的变压器绕组 1 制成变压器 TR。作为集成感应器 ZER 的一部分的感应器 IR 利用所述闭路磁性元件 2、闭合磁性部件 3 和均匀地围绕所述闭路磁性元件 2 分布的感应器绕组 4。在其它实施例中,感应器绕组还可围绕闭合磁性部件 3 布置。然而,优选地,感应器绕组围绕具有最小横截面的磁性部件 2 以限制绕组线的长度。

[0023] 在根据图 1 的谐振模式电源中,在流过感应器 IR 的电流 I_1 和流过变压器 TR 的初级绕组的电流 I_2 之间,可以实现接近 $\pm 90^\circ$ 的恒定相位位移。这些电流具有由矢量 $B_1(t)$ 和 $B_2(t)$ 描述的关联的磁感应通量。下面的分析将涉及在磁路的一个部分的一个点,其中两个磁通量重叠。此外,假定在这个点矢量 B_1 和 B_2 具有相等的振幅。

[0024] 当矢量 $B_1(t)$ 和 $B_2(t)$ 平行时,产生的磁感应矢量的长度可被定义为:

[0025]

$$|B_R(t)| = B \cdot (\sin \omega t + \cos \omega t) = B \cdot \sqrt{2} \cdot \sin(45^\circ + \omega t) = B_{AR} \cdot \sin(45^\circ + \omega t)$$

[0026] 从两个电流产生的感应矢量的最大振幅将是:

$$[0027] \quad B_{AR} = B \cdot \sqrt{2}$$

[0028] 因此,为了不超过饱和感应 B_{MAX} ,感应的有用值最多为:

$$[0029] \quad B = \frac{B_{MAX}}{\sqrt{2}}$$

[0030] 当组合磁路中的磁感应矢量 $B_1(t)$ 和 $B_2(t)$ 相对于彼此正交地定向时,产生的矢量的长度可被写为:

$$[0031] \quad |B_{xy}(t)| = \sqrt{B^2 \cdot \sin^2 \omega t + B^2 \cdot \cos^2 \omega t} = B \cdot \sqrt{\sin^2 \omega t + \cos^2 \omega t} = B = B_{MAX}$$

[0032] 磁路的选定部分的能量值与磁感应的值（矢量长度）的平方成比例。因此，在感应矢量正交布置的情况下，磁路的选定部分的峰值能量值的总数可以加倍。在该情况下，利用磁路的相同部分构成两个感应元件，每个感应元件具有在接近饱和感应 B_{MAX} 的最大磁感应值 B 操作的能力。因此，通过对于两个绕组利用磁路的相同部分，存储的能量会增加。峰值能量值的总数增加，同时保持磁感应矢量的相同振幅。

[0033] 不同于图 1 的谐振模式电源的谐振模式电源可被用作本发明的实施例，只要电源被配置成（通过对电感值的适当选择）：在操作过程中，流过感应器（IR）的电流（ I_1 ）相对于流过变压器（TR）的初级绕组的电流（ I_2 ）在相位上位移。

[0034] 当电流（ I_1 , I_2 ）之间在相位上的位移接近 90° 时，实现最好的结果，即，最好地增加由集成感应器传递的电力，除了更小的相位位移还会实现更少的电力增加。

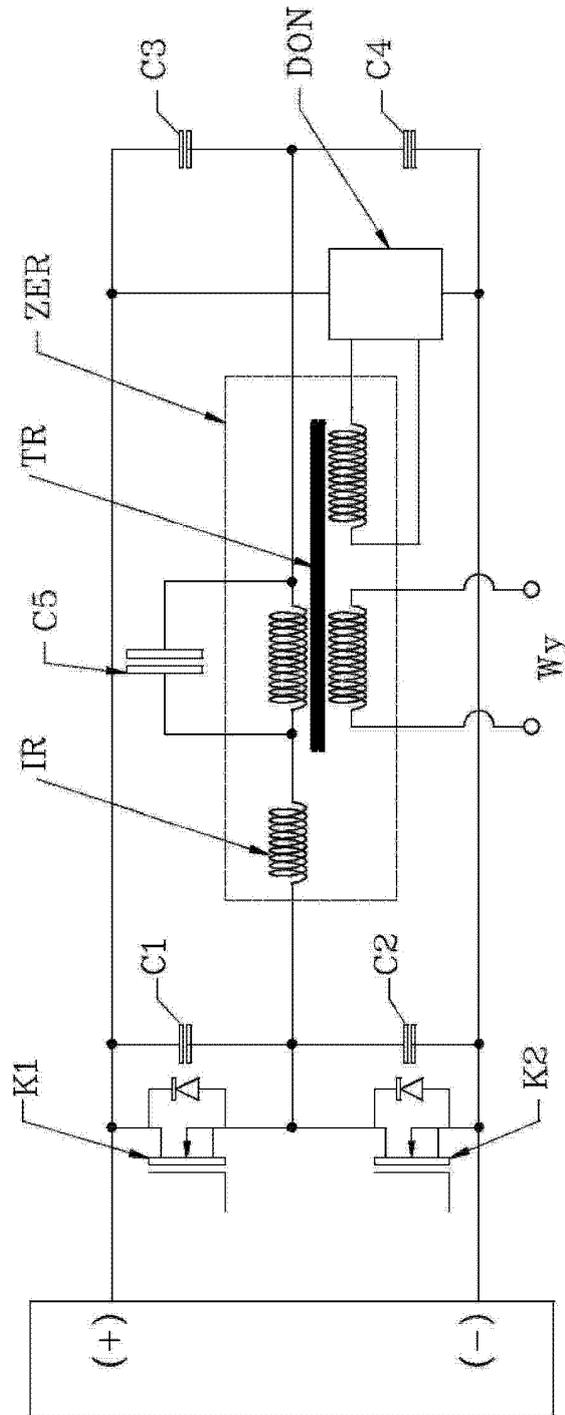


图 1

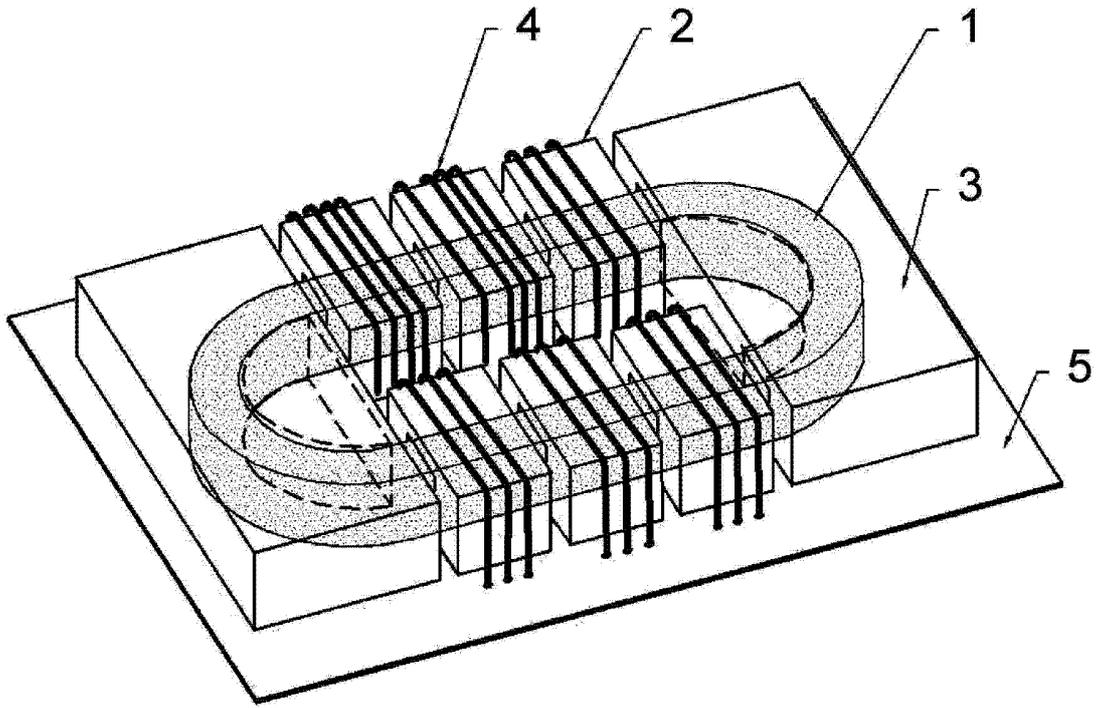


图 2

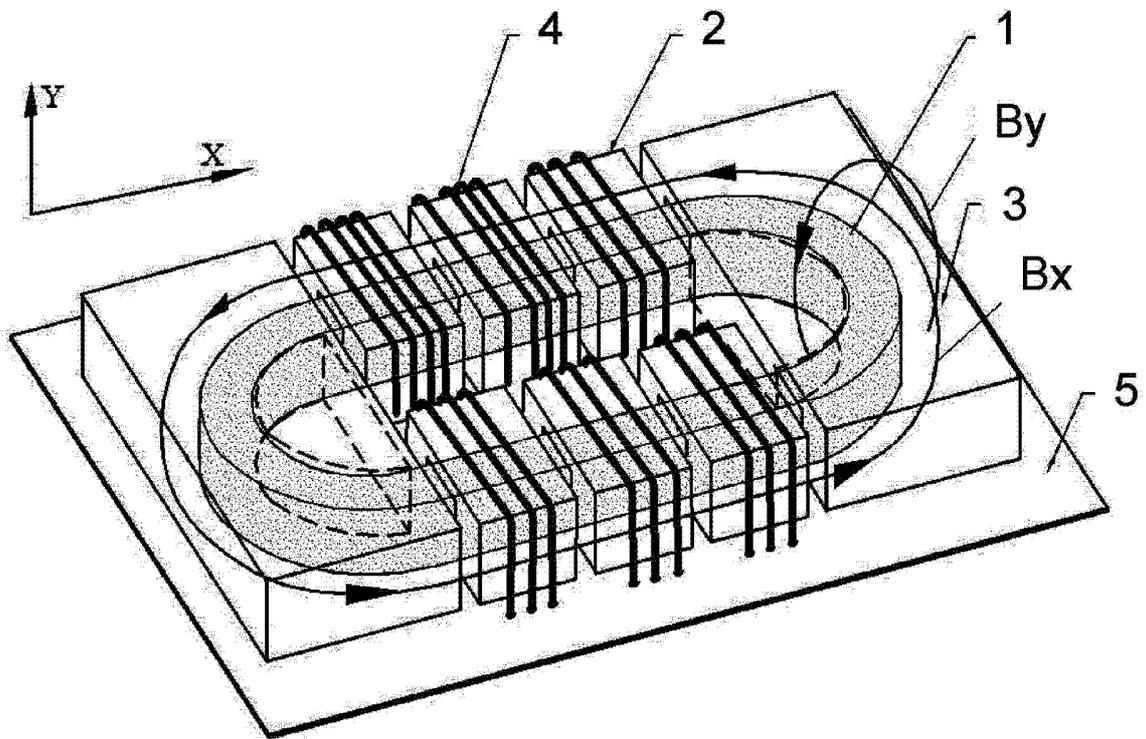


图 3

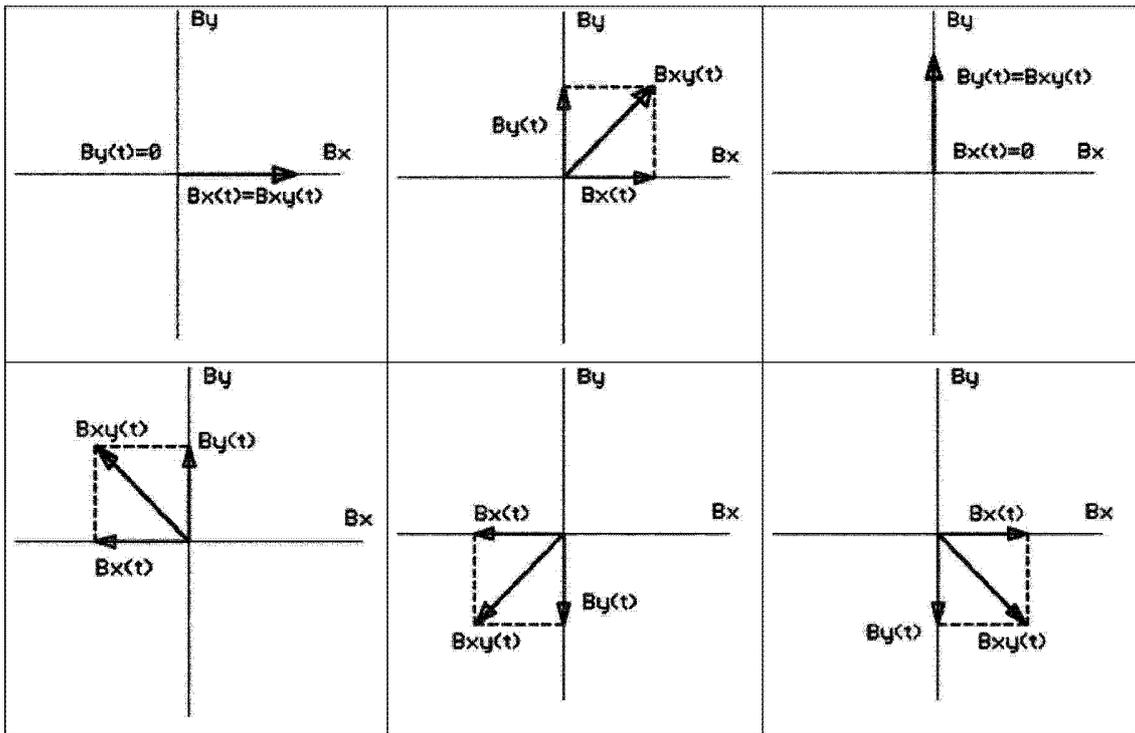


图 4

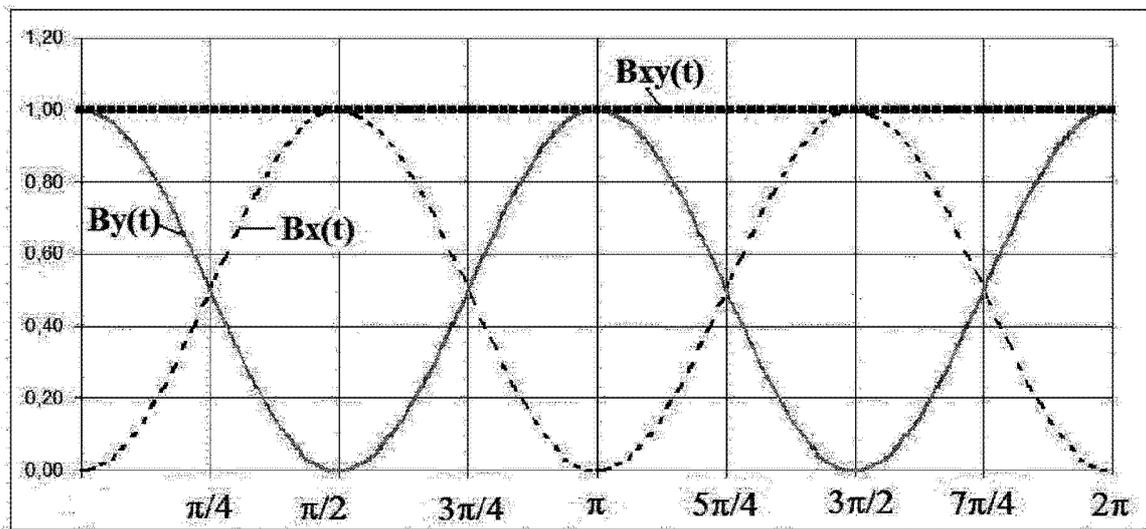


图 5